

ZSL420/ZSL421

LoRa 智能组网芯片 (二次开发)

DS01010800 1.1.00 Date:2020/09/17

概述

ZSL420/ZSL421 是广州致远微电子研发的两款 LoRa 智能组网芯片。该产品集成无线收发器，可支持二次开发的 ARM Cortex-M0+ 超低功耗内核，射频收发匹配电路和滤波电路。内核最高主频 48MHz，256K 字节 Flash，32K 字节 RAM，1 个 12 位 ADC，1 个 12 位 DAC，集成了运算放大器和多路比较器，拥有多路 UART, SPI, IIC 外设，内建 AES, TRNG 等信息安全模块，具有高整合度，高抗扰度，高可靠性和超低功耗特点，支持 Keil 和 IAR 等开发环境，支持 C 语言以及汇编语言编程。无线收发器工作频段 470MHz~510MHz，支持 LoRa、(G)FSK 等调制方式，提供 LoRaWAN, LoRaNET 等协议，ZSL420 内部集成 32M 时钟电路，只需外接天线可实现无线收发功能，ZSL421 内部无集成无线收发器 32M 时钟电路，外接 TCXO 和天线适用于低速率通信场景。

该产品系列工作电压为 1.8V~3.7V，工作温度范围 -40°C ~ +85°C。多种省电工作模式保证低功耗应用的要求。



产品应用

- 智能电表
- 智慧农业
- 工业监视与控制

产品特性

- 频率范围：470~510MHz
- 休眠最低总电流：0.9uA
- 休眠总电流：1.7uA（RAM 保存，可运行协议栈）
- RF 接收电流：4.3mA
- RF 发射电流：108mA@+21dBm, 65mA@17dBm, 40mA@14dBm
- 发射功率可调：-9dBm~+21dBm@ Step1dB
- Lora 接收灵敏度：-117dBm@21.8kbps, -125dBm@5.4kbps, -148 dBm@24bps
- 内嵌 Cortex-M0+ 内核：
 - 48MHZ 主频，支持二次开发
 - 256K 字节 FLASH 存储器, 32K 字节 RAM 存储器；
 - 45 个通用输入输出 IO 口
 - 4 个标准 UART, 2 个低功耗 UART, 1 个 SPI, 2 个 IIC 接口
 - 2 通道 DMAC
 - TRNG 真随机数发生器
 - AES-128/192/256 硬件协加密处理器
 - 内置 12 位 1Msps 采样速率的 ADC
 - 内置 12 位 500Ksps 速率的 DAC
 - 集成 1 个多功能运算放大器, 可做为 DAC 输出 Buffer, 3 路比较器
 - 内置硬件万年历 RTC 模块和内置 CRC-16/32 模块
- 封装形式：LGA68

订购信息

型号	温度范围	封装
ZSL420	-40°C ~ +85°C	LGA68
ZSL421	-40°C ~ +85°C	LGA68

修订历史

版本	日期	内容
1.0.00	2020/09/17	更新手册:
1.1.00	2020/12/02	修改手册模板:

目录

1 产品简介	1
1.1 产品概述	1
1.2 产品特性	1
1.3 产品说明	3
1.3.1 32 位 Cortex M0+ 内核	3
1.3.2 内置闪存存储器	3
1.3.3 内置 SRAM	3
1.3.4 时钟系统	3
1.3.5 工作模式	3
1.3.6 硬件实时时钟 RTC	4
1.3.7 通用 IO 端口	4
1.3.8 中断控制器	4
1.3.9 复位控制器	4
1.3.10 DMAC	5
1.3.11 定时器/计数器	5
1.3.12 超低功耗脉冲计数器 PCNT	7
1.3.13 看门狗 WDT	7
1.3.14 通用异步收发器 UART0~UART3	7
1.3.15 低功耗异步收发器 LPUART0~LPUART1	8
1.3.16 同步串行接口 SPI	8
1.3.17 I ² C 总线	8
1.3.18 蜂鸣器 Buzzer	9
1.3.19 时钟校准电路	9
1.3.20 唯一识别号 UID	9
1.3.21 CRC16/32 硬件循环冗余校验码	9
1.3.22 AES 硬件加密	9
1.3.23 TRNG 真随机数发生器	9
1.3.24 12 Bit SARADC	9
1.3.25 12 Bit DAC	10
1.3.26 电压比较器 VC	10
1.3.27 低电压检测器 LVD	10
1.3.28 运放 OPA	10
1.3.29 LCD 驱动	10
1.3.30 嵌入式调试系统	11
1.3.31 在线编程模式	11
1.3.32 高安全性	11
1.4 订购信息	12
1.4.1 规格说明	12
1.4.2 订购信息	13
2 引脚功能	14
2.1 引脚分布	14

2.2 引脚说明	15
3 功能框图	23
4 存储器	24
5 电气特性	25
5.1 绝对最大额定值	25
5.2 EMC 特性	26
5.3 MCU 功耗参数	26
5.4 测试条件	29
5.4.1 最小和最大值	29
5.4.2 典型数值	29
5.5 工作条件	29
5.5.1 通用工作条件	29
5.5.2 上电和掉电时的工作条件	30
5.5.3 内嵌复位和 LVD 模块特性	30
5.5.4 内置的参照电压	31
5.5.5 从低功耗模式唤醒的时间	32
5.5.6 外部时钟源特性	32
5.5.7 内部时钟源特性	34
5.5.8 PLL 特性	35
5.5.9 存储器特性	36
5.5.10 I/O 端口特性	36
5.5.11 端口外部输入采样要求	38
5.5.12 端口漏电特性 PA,PB,PC,PD,PE,PF	38
5.5.13 RESETB 引脚特性	38
5.5.14 ADC 特性	39
5.5.15 VC 特性	41
5.5.16 OPA 特性	42
5.5.17 LCD 控制器	42
5.5.18 DAC 特性	43
6 LoRa 射频电路特征	44
6.1 架构	44
6.2 内部结构框图	44
6.3 电气特性	45
6.3.1 测试条件	45
6.3.2 供电电流特性	45
6.3.3 常规参数特性	46
6.3.4 接收器参数特性	47
6.3.5 发射机参数特性	48
6.4 规格描述	49
6.4.1 时钟参考	49
6.4.2 接收机	50
6.4.3 发射机	50

6.4.4	电源管理	51
6.5	LoRa 调制解调器	52
6.5.1	LoRa 调制参数	52
6.5.2	LoRa 数据帧	54
7	典型应用电路	55
8	封装特性	57
8.1	芯片尺寸	57
8.2	PCB 库参考	58
8.3	芯片丝印	59
9	生产指导	61
9.1	表面贴装条件	61
9.2	存储与运输	62
9.2.1	注意事项	62
9.3	湿敏等级	62
9.4	包装信息	62
10	免责声明	64
11	表格	65
12	图片	67

1 产品简介

1.1 产品概述

ZSL420/ZSL421 是广州致远微电子研发的两款 LoRa 智能组网芯片。该产品集成无线收发器，可支持二次开发的 ARM Cortex-M0+ 超低功耗内核，射频收发匹配电路和滤波电路。内核最高主频 48MHz，256K 字节 Flash，32K 字节 RAM，1 个 12 位 ADC，1 个 12 位 DAC，集成了运算放大器和多路比较器，拥有多路 UART,SPI,IIC 外设，内建 AES,TRNG 等信息安全模块，具有高整合度，高抗扰度，高可靠性和超低功耗特点，支持 Keil 和 IAR 等开发环境，支持 C 语言以及汇编语言编程。无线收发器工作频段 470MHz~510MHz，支持 LoRa、(G) FSK 等调制方式，提供 LoRaWAN,LoRaNET 等协议，ZSL420 内部集成无线收发器 32M 时钟电路，只需外接天线可实现无线收发功能，ZSL421 内部无集成 32M 时钟电路，外接 TCXO 和天线适用于低速率通信场景。

该产品系列工作电压为 1.8V ~ 3.7V，工作温度范围-40°C ~ +85°C。多种省电工作模式保证低功耗应用的要求。

ZSL420/ZSL421 产品提供 LGA68 封装形式，下面给出了该系列产品中所有外设的基本介绍。

1.2 产品特性

- 无线部分
 - 工作频率范围：470MHZ~510MHZ
 - 支持 LoRa, (G)FSK 调制
 - 休眠最低总电流：0.9uA
 - 休眠总电流：1.7uA（RAM 保存，可运行协议栈）
 - -9dBm~21dBm@Step1dB 可调发射功率，108mA@21dBm 最大发射功率，65mA@17dBm 发射功率，40mA@14dBm 发射功率。
 - 典型接收电流 4.3mA，接收灵敏度-117dBm@21.8Kbps，接收灵敏度-125dBm@5.4Kbps，接受灵敏度-148dBm@24bps
 - ZSL420 内置 RF 时钟电路，无线收发器无需外接晶体
- 48MHz Cortex-M0+ 32 位 CPU 平台
- MCU 内核具有灵活的功耗管理系统，超低功耗性能
 - 0.6uA@3V 深度睡眠模式，所有时钟关闭，上电复位有效，IO 状态保持，IO 中断有效，所有寄存器、RAM 和 CPU 数据保存状态时的功耗
 - 1uA@3V 深度睡眠模式 +RTC 工作
 - 8uA@32.768KHz 低速工作模式，CPU 和外设运行，从 Flash 运行程序
 - 35uA/MHz@3V@24MHz 睡眠模式，CPU 停止，外设运行，主时钟运行
 - 135uA/MHz@3V@24MHz 工作模式，CPU 运行，外设运行，从 Flash 运行程序
 - 4uS 超低功耗唤醒时间，使得模式切换更加灵活有效，系统反应更为敏捷
- 存储器
 - 高达 256K 字节的闪存程序存储器
 - 高达 32K 字节的 SRAM
 - Boot loader 支持片内 Flash、UART 在线用户编程（IAP）/在线系统编程（ISP）
- 通用 I/O 管脚
 - 45 个通用输入/输出管脚
 - 所有的 IO 口均可映射到外部中断，并且可以作为休眠唤醒引脚

- 时钟、晶振
 - 外部高速晶振 4MHz ~ 32MHz
 - 外部低速晶振 32.768KHz
 - 内部高速时钟 4/8/16/22.12/24MHz 可选
 - 内部低速时钟 32.8/38.4KHz 可选
 - PLL 时钟 8MHz ~ 48MHz
 - 硬件支持内外时钟校准和监控
- 定时器/计数器
 - 3 个 1 通道互补输出通用 16 位定时器
 - 1 个 3 通道互补输出通用 16 位定时器
 - 2 个低功耗 16 位定时器，可以级联
 - 3 个高性能 16 位定时器/计数器，支持 PWM 互补，死区保护功能
 - 1 个可编程 16 位定时器 PCA，支持 5 通道捕获比较，5 通道 PWM 输出
 - 1 个超低功耗脉冲计数器 PCNT，具备低功耗模式下自动定时唤醒功能，最大定时达 1024 秒
 - 1 个 20 位可编程看门狗电路，内建专用 10KHz 振荡器提供 WDT 计数
- 通讯接口
 - 4 路 UART 标准通讯接口
 - 2 路 LPUART 低功耗通讯接口，深度睡眠模式下可工作
 - 2 路 I²C 标准通讯接口
 - 1 路 SPI 标准通讯接口
 - 集成 LCD 驱动
- 硬件万年历 RTC 模块
- 硬件 CRC-16/32 模块
- AES-128/192/256 硬件协处理器
- TRNG 真随机数发生器
- 2 通道 DMAC
- 全球唯一 10 字节 ID 号
- 12 位 1Msps 采样的高速高精度 SARADC，内置运放，可测量外部微弱信号
- 1 路 12 位 500Ksps DAC
- 集成 1 个多功能运算放大器，可以作为 DAC 的输出 Buffer
- 集成 6 位 DAC 和可编程基准输入的 3 路电压比较器
- 集成低电压侦测器，可配置 16 阶比较电平，可监控端口电压以及电源电压
- 支持串行 SWD 口调试
- 复位源
 - 上电复位
 - 看门狗复位
 - 外部管脚复位
 - PCA 复位
 - Cortex-M0+ LOCKUP 硬件复位
 - Cortex-M0+ SYSRESETREQ 软件复位
 - LVD 复位
- SWD 调试解决方案，提供全功能调试器
- 工作温度：-40 ~ +85°C

- 封装形式: LGA68

1.3 产品说明

1.3.1 32 位 Cortex M0+ 内核

ARM 的 Cortex-M0+ 处理器源于 Cortex-M0, 包含了一颗 32 位 RISC 处理器, 运算能力达到 0.95 Dhrystone MIPS/MHz。同时加入了多项全新设计, 改进调试和追踪能力、减少每条指令循环 (IPC) 数量和改进 Flash 访问的两级流水线等, 更纳入了节能降耗技术。Cortex-M0+ 处理器全面支持已整合 Keil、IAR 调试器。

Cortex-M0+ 包含了一个硬件调试电路, 支持 2-pin 的 SWD 调试界面。

本产品拥有内置的 ARM 核心, 因此它与所有的 ARM 工具和软件兼容。

ARM Cortex-M0+ 特性:

- 指令集: Thumb / Thumb-2
- 流水线: 2 级流水线
- 性能效率: 2.46 CoreMark / MHz
- 性能效率: 0.95 DMIPS / MHz in Dhrystone
- 中断: 32 个快速中断
- 中断优先级: 可配置 4 级中断优先级
- 增强指令: 单周期 32 位乘法器
- 调试: Serial-wire 调试端口, 支持 4 个硬中断 (break point) 以及 2 个观察点 (watch point)

1.3.2 内置闪存存储器

最大 256K 字节的内置闪存存储器, 用于存放程序和数据。

内建全集成 FLASH 控制器, 无需外部高压输入, 由全内置电路产生高压来编程。支持 ISP、IAP、ICP 功能。

1.3.3 内置 SRAM

最大 32K 字节的内置 SRAM。

根据客户选择不同的超低功耗模式, RAM 数据都会被保留。自带硬件奇偶校验位, 万一数据被意外破坏, 在数据被读取时, 硬件电路会立刻产生中断, 保证系统的可靠性。

1.3.4 时钟系统

一个频率为 4M~24MHz 可配置的高精度内部时钟 RCH。在配置 24MHz 下, 从低功耗模式到工作模式的唤醒时间为 4us, 全电压全温度范围内的频率偏差小于 $\pm 2.5\%$, 无需外接昂贵的高频晶体。

- 支持频率为 4M~32MHz 的外部晶振 XTH。
- 支持频率为 32.768KHz 的外部晶振 XTL, 主要提供 RTC 实时时钟。
- 支持频率为 32.8/38.4KHz 的内部时钟 RCL。
- 内部 PLL 支持频率 8M~48M 频率输出

1.3.5 工作模式

- 运行模式 (Active Mode): CPU 运行, 周边功能模块运行。
- 休眠模式 (Sleep Mode): CPU 停止运行, 周边功能模块运行。
- 深度休眠模式 (Deep sleep Mode): CPU 停止运行, 高速时钟停止, 低功耗功能模块运行。

1.3.6 硬件实时时钟 RTC

RTC (Real Time Counter) 是一个支持 BCD 数据的寄存器, 采用 32.768KHz 晶振作为其时钟, 能实现万年历功能, 中断周期可配置为年/月/日/小时/分钟/秒。24/12 小时时间模式, 硬件自动修正闰年。具有精确度补偿功能, 最高精度为 0.96ppm。可使用内部温度传感器或外部温度传感器进行精确度补偿, 可用软件 +1/-1 调整年/月/日/小时/分钟/秒, 最小可调精度为 1 秒。用于指示时间和日期的 RTC 日历记录器在 MCU 受外部因素影响而复位时不会清除保留值, 是需要永久高精度实时时钟的测量设备仪表的最佳选择。

1.3.7 通用 IO 端口

最多可提供 45 个 GPIO 端口, 其中部分 GPIO 与模拟端口复用。每个端口由独立的控制寄存器位来控制, 支持 FAST IO。支持边沿触发中断和电平触发中断, 可从各种超低功耗模式下把 MCU 唤醒到工作模式。支持位置位, 位清零, 位置位清零操作。支持 Push-Pull CMOS 推挽输出、Open-Drain 开漏输出。内置上拉电阻、下拉电阻, 带有施密特触发器输入滤波功能。输出驱动能力可配置, 最大支持 18mA 的电流驱动能力。所有通用 IO 可支持外部异步中断。

1.3.8 中断控制器

Cortex-M0+ 处理器内置了嵌套向量中断控制器 (NVIC), 支持最多 32 个中断请求 (IRQ) 输入; 有四个中断优先级, 可处理复杂逻辑, 能够进行实时控制和中断处理。

32 个中断入口向量地址, 分别为:

表 2: 中断入口向量

中断向量号	中断来源	中断向量号	中断来源	中断向量号	中断来源
0	GPIO_PA	1	GPIO_PB	2	GPIO_PC/GPIO_PE
3	GPIO_PD/GPIO_PF	4	DMAC	5	TIM3
6	UART0/UART2	7	UART1/UART3	8	LPUART0
9	LPUART1	10		11	SPI1
12	I2C0	13	I2C1	14	TIM0
15	TIM1	16	TIM2	17	LPTIM0/LPTIM1
18	TIM4	19	TIM5	20	TIM6
21	PCA	22	WDT	23	RTC
24	ADC/DAC	25	PCNT	26	VC0
27	VC1/VC2	28	LVD	29	LCD
30	RAM FLASH	31	CLKTRIM		

1.3.9 复位控制器

本产品具有 7 个复位信号来源, 每个复位信号可以让 CPU 重新运行, 绝大多数寄存器会被重新复位, 程序计数器 PC 会指向起始地址。

复位中断来源:

- 上电复位
- 看门狗复位
- 低功耗复位

- 外部管脚复位
- PCA 复位
- Cortex-M0+ LOCKUP 硬件复位
- Cortex-M0+ SYSRESETREQ 软件复位
- LVD 复位

1.3.10 DMAC

DMAC（直接内存访问控制器）功能块可以不通过 CPU 高速传输数据。使用 DMAC 能提高系统性能。

- DMAC 配有独立的总线，所以即便是在使用 CPU 总线的时候，DMAC 也可进行传输操作。
- 由 2 条通道组成，能执行 2 种相互独立的 DMA 传输。
- 可设置传输目标地址、传输源地址、传输数据大小、传输请求源以及传输模式，并能控制各通道的传输操作启动、传输的强行终止以及传输的暂停。
- 可控制所有通道批量传输的启动、强行终止及暂停。
- 多通道同时操作时，可用固定方法或循环方法选择操作通道的优先级
- 支持使用外设中断信号的硬件 DMA 传输。
- 遵从系统总线 (AHB)，支持 32 位地址空间 (4GB)。

1.3.11 定时器/计数器

下表比较了高级控制定时器、通用定时器、低功耗定时器和可编程计数阵列的功能：

表 3: 定时器功能比较

定时器类型	名称	位宽	预分频	计数方向	PWM	捕获	互补输出
通用定时器	TIM0	16/32 位	1/2/4/8/16 32/64/256	上、下计数 上下计数	2	2	1
	TIM1	16/32 位	1/2/4/8/16 32/64/256	上、下计数 上下计数	2	2	1
	TIM2	16/32 位	1/2/4/8/16 32/64/256	上、下计数 上下计数	2	2	1
	TIM3	16/32 位	1/2/4/8/16 32/64/256	上、下计数 上下计数	6	6	3
低功耗定时器	LPTIM0	16 位	1/2/4/8/16 32/64/256	上计数	无	无	无
	LPTIM1	16 位	1/2/4/8/16 32/64/256	上计数	无	无	无
可编程计数阵列	PCA	16 位	2/4/8/16/32	上计数	5	5	无
高级定时器	TIM4	16 位	1/2/4/8/16 64/256/1024	上、下计数 上下计数	2	2	1

定时器类型	名称	位宽	预分频	计数方向	PWM	捕获	互补输出
高级定时器	TIM5	16 位	1/2/4/8/16 64/256/1024	上、下计数 上下计数	2	2	1
	TIM6	16 位	1/2/4/8/16 64/256/1024	上、下计数 上下计数	2	2	1

通用定时器特性:

- PWM 独立输出, 互补输出
- 捕获输入
- 死区控制
- 刹车控制
- 边沿对齐、对称中心对齐与非对称中心对齐 PWM 输出
- 正交编码计数功能
- 单脉冲模式
- 外部计数功能

TIM0/1/2 功能完全相同。TIM0/1/2 是同步定时/计数器, 可以作为 16 位自动重载功能的定时/计数器, 也可以作为 32 位无重载功能的定时/计数器。TIM0/1/2 每个定时器都具有 2 路捕获比较功能, 可以产生 2 路 PWM 独立输出或 1 组 PWM 互补输出。具有死区控制功能。

TIM3 是多通道的通用定时器, 具有 TIM0/1/2 的所有功能, 可以产生 3 组 PWM 互补输出或 6 路 PWM 独立输出, 最多 6 路输入捕获。具有死区控制功能。低功耗定时器: 低功耗定时器 LPTIM 是异步 16 位定时/计数器, 在系统时钟关闭后仍然可以通过内部低速 RC 或者外部低速晶体振荡计时/计数。通过中断在低功耗模式下唤醒系统。

可编程计数器阵列: PCA(可编程计数器阵列 Programmable Counter Array) 支持最多 5 个 16 位的捕获/比较模块。该定时/计数器可用作为一个通用的时钟计数/事件计数器的捕获/比较功能。PCA 的每个模块都可以进行独立编程, 以提供输入捕捉, 输出比较或脉冲宽度调制。另外模块 4 有额外的看门狗定时器模式。高级定时器 Advanced Timer 包含三个定时器 TIM4/5/6。TIM4/5/6 是功能相同的高性能计数器, 可用于计数产生不同形式的时钟波形, 1 个定时器可以产生互补的一对 PWM 或者独立的 2 路 PWM 输出, 可以捕获外界输入进行脉冲宽度或周期测量。

Advanced Timer 基本的功能及特性:

- 基本功能
 - 递增、递减计数方向
 - 软件同步
 - 硬件同步
 - 缓存功能
 - 正交编码计数
 - 通用 PWM 输出
 - 保护机制
 - AOS 关联动作

- 中断类型
 - 计数比较匹配中断
 - 计数周期匹配中断
 - 死区时间错误中断

1.3.12 超低功耗脉冲计数器 PCNT

PCNT (Pulse Counter) 模块用以对外部脉冲进行计数, 支持单路以及双路 (正交编码与非交叉编码) 脉冲。它可以在低功耗休眠模式下无需软件参与进行计数。脉冲计数器特性:

- 支持重载功能的 16 bit 计数器
- 单通道脉冲计数
- 双通道非交脉冲计数
- 双通道正交脉冲计数, 不失码
- 加/减计数溢出中断
- 脉冲超时中断
- 4 种解码错误中断, 非交脉冲模式
- 1 种方向改变中断, 正交脉冲模式
- 多级脉冲宽度滤波
- 输入脉冲极性可配置
- 支持低功耗模式计数
- 支持唤醒低功耗模式下 MCU
- 加/支持任意脉冲沿间距不小于 1 个计数时钟周期
- 具备低功耗模式下自动定时唤醒功能, 最大定时达 1024 秒

1.3.13 看门狗 WDT

WDT (Watch Dog Timer) 是一个可配置的 20 位定时器, 在 MCU 异常的情况下提供复位; 内建 10KHz 低速时钟输入作为计数器时钟。调试模式下, 可选择暂停或继续运行; 只有写入特定序列才能重启 WDT。

1.3.14 通用异步收发器 UART0~UART3

4 路通用异步收发器 (Universal Asynchronous Receiver/Transmitter), UART0~UART3。通用 UART 基本功能:

- 半双工和全双工传输
- 8/9-Bit 传输数据长度
- 硬件奇偶校验
- 1/1.5/2-Bit 停止位
- 四种不同传输模式
- 16-Bit 波特率计数器
- 多机通讯
- 硬件地址识别
- DMAC 硬件传输握手
- 硬件流控
- 支持单线模式

1.3.15 低功耗异步收发器 LPUART0~LPUART1

2 路低功耗模式下可以工作的异步收发器 (Low Power Universal Asynchronous Receiver/Transmitter), LPUART0/LPUART1。

LPUART 基本功能:

- 传输时钟 SCLK (SCLK 可选择 XTL、RCL 以及 PCLK)
- 系统低功耗模式下收发数据
- 半双工和全双工传输
- 8/9-Bit 传输数据长度
- 硬件奇偶校验
- 1/1.5/2-Bit 停止位
- 四种不同传输模式
- 16-Bit 波特率计数器
- 多机通讯
- 硬件地址识别
- DMAC 硬件传输握手
- 硬件流控
- 支持单线模式

1.3.16 同步串行接口 SPI

1 路同步串行接口 (Serial Peripheral Interface)

SPI 基本特性:

- 通过编程可以配置为主机或者从机
- 四线传输方式, 全双工通信
- 主机模式 7 种波特率可配置
- 主机模式最大波特率为 1/2 系统时钟
- 从机模式最大波特率为 1/4 系统时钟
- 可配置的串行时钟极性和相位
- 支持中断
- 8 位数据传输, 先传输高位后低位
- 支持 DMA 软件/硬件访问

1.3.17 I²C 总线

2 路 I²C, 采用串行同步时钟, 可实现设备之间以不同的速率传输数据。

I²C 基本特性:

- 支持主机发送/接收, 从机发送/接收四种工作模式
- 支持标准 (100Kbps) / 快速 (400Kbps) / 高速 (1Mbps) 三种工作速率
- 支持 7 位寻址功能
- 支持噪声过滤功能
- 支持广播地址
- 支持中断状态查询功能

1.3.18 蜂鸣器 Buzzer

4 个通用定时器与 1 个低功耗定时器功能复用输出为 Buzzer 提供可编程驱动频率。该蜂鸣器端口可提供 18mA 的 sink 电流，互补输出，不需要额外的三极管。

1.3.19 时钟校准电路

内建时钟校准电路，可以通过外部精准的晶振时钟校准内部 RC 时钟，亦可使用内部 RC 时钟去检验外部晶振时钟是否工作正常。

时钟校准基本特性：

- 校准模式
- 监测模式
- 32 位参考时钟计数器可加载初值
- 32 位待校准时钟计数器可配置溢出值
- 6 种参考时钟源
- 5 种待校准时钟源
- 支持中断方式

1.3.20 唯一识别号 UID

每颗芯片出厂前具备唯一的 10 字节设备标识号，包括 wafer lot 信息，以及芯片坐标信息等。UID 地址为：0x00100E74 - 0x00100E7D。

1.3.21 CRC16/32 硬件循环冗余校验码

CRC16 符合 ISO/IEC13239 中给出的多项式 $X^{16} + X^{12} + X^5 + 1$ 。CRC32 符合 ISO/IEC13239 中给出的多项式 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 。

1.3.22 AES 硬件加密

AES (The Advanced Encryption Standard) 是美国国家标准技术研究所 (NIST) 在 2000 年 10 月 2 日正式宣布的新的数据加密标准。AES 的分组长度固定为 128 位，而密钥长度支持 128/192/256。

1.3.23 TRNG 真随机数发生器

TRNG 是一个真随机数发生器，用来产生真随机数。

1.3.24 12 Bit SARADC

单调不失码的 12 位逐次逼近型模数转换器，在 24M ADC 时钟下工作时，采样率达到 1Msps。参考电压可选择片内精准电压 (1.5v 或 2.5v) 或从外部输入或电源电压。24 个输入通道，包括 20 路外部管脚输入、1 路内部温度传感器电压、1 路 1/3 电源电压、1 路内建 BGR 1.2V 电压、DAC 内部输出。内建可配置的输入信号放大器以检测弱信号。

SAR ADC 基本特性：

- 12 位转换精度；
- 1Msps 转换速度
- 24 个输入通道，包括 20 路外部管脚输入、1 路内部温度传感器电压、1 路 1/3AVDD 电压、1 路内建 BGR 1.2V 电压、DAC 内部输出；

- 4 种参考源: AVDD 电压、ExRef 引脚、内置 1.5v 参考电压、内置 2.5v 参考电压;
- ADC 的电压输入范围: 0~Vref;
- 4 种转换模式: 单次转换、顺序扫描连续转换、插队扫描连续转换、连续转换累加;
- 输入通道电压阈值监测;
- 内置信号放大器, 可转换高阻信号;
- 支持片内外设自动触发 ADC 转换, 有效降低芯片功耗并提高转换的实时性。

1.3.25 12 Bit DAC

1 通道 12bit 500Ksps DAC, 可以进行数模转换。

1.3.26 电压比较器 VC

内建 3 路 VC, 芯片管脚电压监测/比较电路。16 个可配置的正外部输入通道, 11 个可配置的负外部输入通道; 5 个内部负输入通道, 包括 1 路内部温度传感器电压、1 路内建 BGR 2.5V 参考电压、1 路内建 BGR 1.2V 电压、1 路 64 阶电阻分压。VC 输出可供通用定时器 TIM0/1/2/3, 低功耗定时器 LPTIM 与可编程计数阵列 PCA 捕获、门控、外部计数时钟使用。可根据上升/下降边沿产生异步中断, 从低功耗模式下唤醒 MCU。可配置的软件防抖功能。

1.3.27 低电压检测器 LVD

对芯片电源电压或芯片管脚电压进行检测。16 档电压监测值 (1.8v ~ 3.3v)。可根据上升/下降边沿产生异步中断或复位。具有硬件迟滞电路和可配置的软件防抖功能。

LVD 基本特性:

- 4 路监测源, AVDD、PC13、PB08、PB07;
- 16 阶阈值电压, 1.8V~3.3V 可选;
- 8 种触发条件, 高电平、上升沿、下降沿组合;
- 2 种触发结果, 复位、中断;
- 8 阶滤波配置, 防止误触发;
- 具备迟滞功能, 强力抗干扰。

1.3.28 运放 OPA

OPA 可以灵活配置, 适用于简易滤波器和电压跟随器应用。可以作为 DAC 输出缓存器使用, 也可以配置为运放使用。

1.3.29 LCD 驱动

LCD 控制器是一款适用于单色无源液晶显示器 (LCD) 的数字控制器/驱动器, 最多具有 4 个公用端子 (COM) 和 35 个区段端子 (SEG), 用以驱动 140 (4x35) 个 LCD 图像元素。

可以选择电容分压或电阻分压, 支持内部电阻分压。内部电阻分压可以调节对比度。支持 DMA 硬件数据传输。

LCD 基本特性:

- 高度灵活的帧速率控制。
- 支持静态、1/2、1/3、1/4、1/6 和 1/8 占空比。
- 支持 1/2、1/3 偏置。

- 多达 16 个寄存器的 LCD 数据 RAM。
- 多达 16 个寄存器的 LCD 数据 RAM。
- 3 种驱动波形生成方式
 - 内部电阻分压、外部电阻分压，外部电容分压方式
 - 可通过软件配置内部电阻分压方式的功耗，从而匹配 LCD 面板所需的电容电荷
- 支持低功耗模式：LCD 控制器可在 Active、Sleep、DeepSleep 模式下进行显示。
- 可配置帧中断。
- 支持 LCD 闪烁功能且可配置多种闪烁频率
- 未使用的 LCD 区段和公共引脚可配置为数字或模拟功能。

1.3.30 嵌入式调试系统

嵌入式调试解决方案，提供全功能的实时调试器，配合标准成熟的 Keil/IAR 等调试开发软件。支持 4 个硬断点以及多个软断点。

1.3.31 在线编程模式

支持在线编程，将 BOOT0 (PF11) 管脚接高电平即可进入 ISP 在线烧录模式。BOOT0 管脚接低电平进入用户模式。

1.3.32 高安全性

加密型嵌入式调试解决方案，提供全功能的实时调试器。

1.4 订购信息

1.4.1 规格说明

表 4: ZSL420/ZSL421 列产品功能和外设配置

产品型号		ZSL420	ZSL421
外围接口	内核与系统	32 位 ARM® Cortex®-M0+ 处理器	
	闪存 - K 字节	256	
	SRAM - K 字节	32	
	GPIO 端口 (通道数)	45	
定时器	通用 16 位定时器	4 个	
	低功耗 16 位定时器	2 个	
	高级 16 位定时器	3 个	
	可编程 16 位定时器 PCA	1 个	
	超低功耗脉冲计数器 PCNT	1 个	
	可编程 20 位看门狗定时器	1 个	
	硬件 RTC 定时器	1 个	
通讯接口	UART	4 个	
	LPUART	2 个	
	I ² C	2 个	
	SPI	1 个	
模拟	ADC 12bit	1 个	
	DAC 12bit	1 个	
	OPA	1 个	
	Vcomp	3 个	
	LVD	支持	
	LVR	支持	
无线	工作频段	470~510MHz	
	调制方式	Lora, (G)FSK	
	是否集成 32M 时钟电路	是	否
	是否集成 RF 匹配和滤波电路	是	
	最大发射功率	21dBm	
	典型接收灵敏度	-125dBm@5.4kbps	-125dBm@5.4kbps, -148 dBm@24bps
	休眠电流	0.4uA	
	接收电流	4.3mA	5.8mA
其他功能	硬件加密	AES-128/192/256	
	硬件 CRC	CRC-16/32	

产品型号		ZSL420	ZSL421
		外围接口	
	硬件 RTC	支持	
	真随机数发生器	支持	
CPU 最高工作频率		48 MHz	
工作电压		1.8V ~ 3.7V	
工作温度		-40°C ~ +85°C	
封装		LGA68	

1.4.2 订购信息

ZSL420/ZSL421 的完整产品型号信息见表 5所示。

表 5: 选型表

产品型号	内核	电压 (V)	工作温度 (°C)	封装形式	包装方式	MPQ	MOQ	MSL
ZSL420	M0+	1.8V~3.7V	-40~+85	LGA68	TRAY 包装 (颗/盘)	168	168	5
ZSL421	M0+	1.8V~3.7V	-40~+85	LGA68	TRAY 包装 (颗/盘)	168	168	5

该芯片的命名规则如图 1所示。

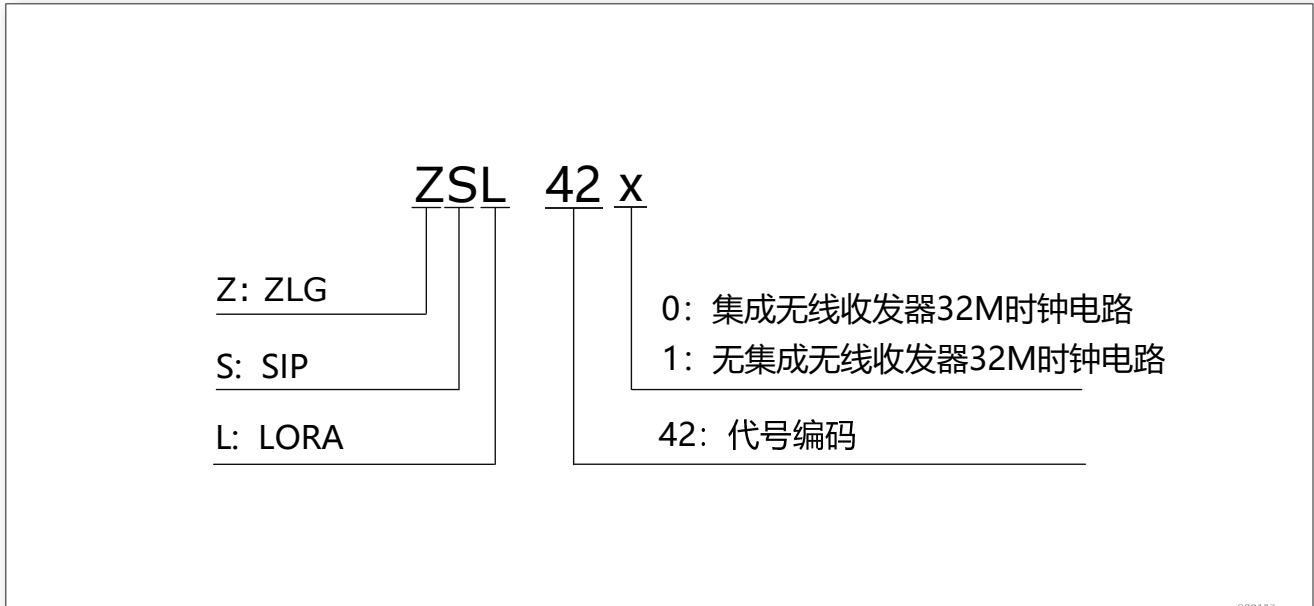


图 1. ZSL420/ZSL421 型号命名

2 引脚功能

2.1 引脚分布

本产品提供 LGA68 封装形式。

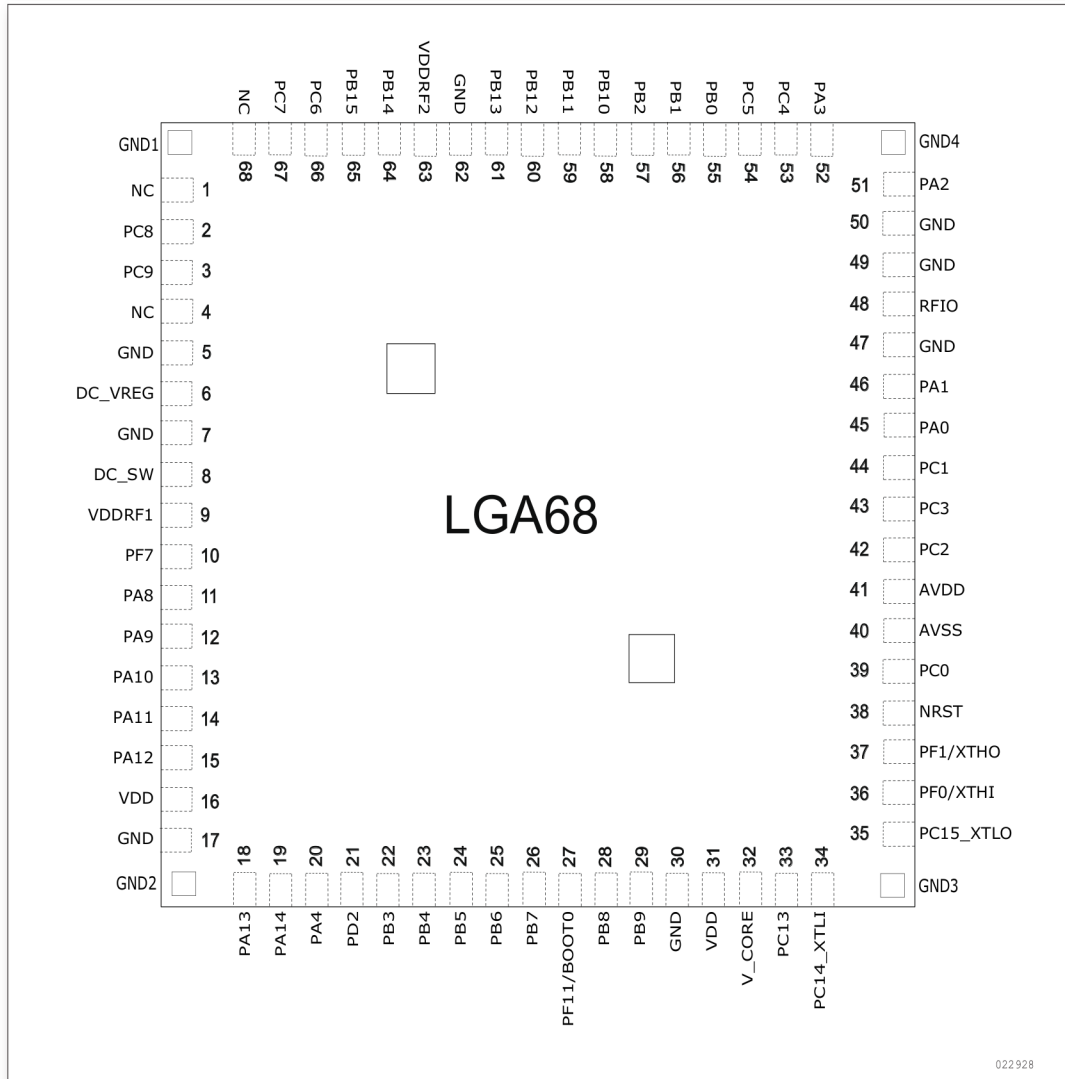


图 2. ZSL420 引脚分布

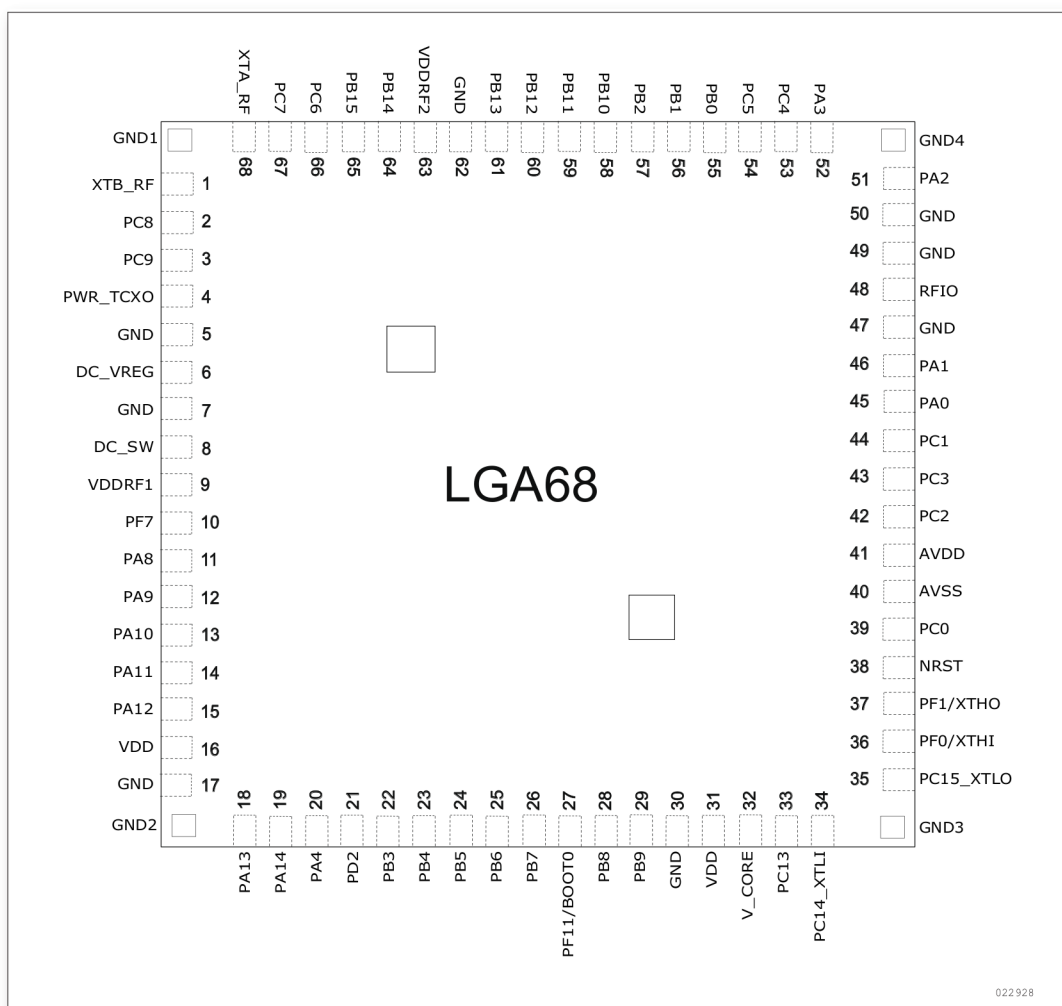


图 3. ZSL421 引脚分布

2.2 引脚说明

表 6: 引脚定义

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
1(ZSL420)	NC	-	-	-	请保持此引脚悬空
1(ZSL421)	XTB_RF	I	无线收发器外部无源晶体输入端	-	接无源晶体一端，如果使用有源晶体保持悬空
2	PC8	I/O	PCA_CH2/TIM6_CHA/TIM2_ETR/LPTIM1_TOG/UART3_CTS	SEG2	-
3	PC9	I/O	PCA_CH3/ TIM4_CHB /TIM1_ETR/ LPTIM1_TOGN/ UART3_RTS	SEG1	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
4(ZSL420)	NC	-	-	-	请保持此引脚悬空
4(ZSL421)	PWR_TCXO	O	有源晶体供电引脚	-	使用有源晶体请连接到有源晶体供电端
5	GND	S	-	-	-
6	DC_VREG	-	内部 DC-DC 引脚	-	配置无线收发器为 DC-DC 与 LDO 组合供电时, 需将此引脚接到外部 15uH 电感
7	GND	S	-	-	-
8	DC_SW	-	内部 DC-DC 引脚	-	配置无线收发器为 DC-DC 与 LDO 组合供电时, 需将此引脚接到外部 15uH 电感
9	VDD_RF1	S	无线收发器供电引脚 1	-	-
10	PF7	I/O	I2C1_SDA/ LPUART1_RTS/ UART0_RTS	-	-
11	PA8	I/O	UART0_TXD/ TIM3_CH0A/ TIM1_GATE/ TIM4_CHA/ TIM3_BK	SEG0	-
12	PA9	I/O	UART0_TXD /TIM3_CH1A /TIM0_BK/ I2C0_SCL/ HCLK_OUT/ TIM5_CHA	SEG1	-
13	PA10	I/O	UART0_RXD/ TIM3_CH2A/ TIM2_BK /I2C0_SDA /TIM2_GATE/ PCLK_OUT/ TIM6_CHA	COM1	-
14	PA11	I/O	UART0_CTS /TIM3_GATE /I2C1_SCL/ VC0_OUT/ TIM4_CHB	COM2	-
15	PA12	I/O	UART0_RTS/ TIM3_ETR/ I2C1_SDA/ VC1_OUT/ PCNT_S0	COM3	-
16	VDD	S	-	-	-
17	GND	S	-	-	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
18	PA13	I/O	IR_OUT/ UART0_RXD/ LVD_OUT/ TIM3_ETR /RTC_1HZ/ PCNT_S1/ VC2_OUT/SWDIO	-	-
19	PA14	I/O	UART1_TXD /UART0_TXD /TIM3_CH2A /LVD_OUT/ RCH_OUT RCL_OUT /PLL_OUT/SWCLK	-	-
20	PA4	I/O	UART1_TXD /PCA_CH4/ TIM2_ETR/ TIM5_CHA/ LVD_OUT/ TIM3_CH2B	AIN4 /VC0_INP8 /VC0_INN4/ VC1_INP4 /DAC0_OUT/ OP3_OUT/ SEG19	-
21	PD2	I/O	PCA_ECI/ LPUART0_RTS/ TIM1_ETR	COM7/SEG36	-
22	PB3	I/O	TIM0_CHB /TIM1_GATE/ TIM3_CH0A /LPTIM0_GATE /XTL_OUT/ XTH_OUT	VC1_INN9 SEG35/VLCDH	-
23	PB4	I/O	PCA_CH0 /TIM2_BK/ UART0_CTS /TIM2_GATE /TIM3_CH0B/ LPTIM0_ETR	VC0_INP12/ VC1_INP12/ SEG34/VLCD3	-
24	PB5	I/O	TIM1_BK /PCA_CH1/ LPTIM0_GATE/ PCNT_S0/ UART0_RTS	VC0_INP13/ SEG33/VLCD2	-
25	PB6	I/O	I2C0_SCL /UART0_TXD/ TIM1_CHB/ TIM0_CHA/ LPTIM0_ETR/ TIM3_CH0A/ LPTIM0_TOG /	VC0_INP14/ VC1_INP14/ SEG32/VLCD1	-
26	PB7	I/O	I2C0_SDA /UART0_RXD /TIM2_CHB/ LPUART1_CTS/ TIM0_CHB/ LPTIM0_TOGN /PCNT_S1	VC1_INP15/ LVD2/ SEG31	-
27	PF11	I/O	BOOT0	SEG30	-
28	PB8	I/O	I2C0_SCL /TIM1_CHA /TIM2_CHA/ TIM0_GATE/ TIM3_CH2A/ UART0_TXD	LVD1/ SEG29	-
29	PB9	I/O	I2C0_SDA /IR_OUT/ SPI1_CS/ TIM2_CHA/ TIM2_CHB/ UART0_RXD	SEG28	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
30	GND	S	-	-	-
31	VDD	S	-	-	-
32	V_CORE	-	-	-	MCU 内核电压, 可外接去耦电容
33	PC13	I/O	RTC_1HZ TIM3_CH1B	LVDD0	-
34	PC14	I/O	-	XTLI	MCU 外部低速 晶振引脚
35	PC15	I/O	-	XTLO	MCU 外部低速 晶振引脚
36	PF0	I/O	I2C0_SDA UART1_TXD	XTHI	MCU 外部高速 晶振引脚
37	PF1	I/O	I2C0_SCL/ TIM4_CHB/ UART1_RXD	XTHO	MCU 外部高速 晶振引脚
38	NRST	I	-	-	MCU 复位引脚
39	PC0	I/O	LPTIM0_GATE /PCNT_S0/ UART1_CTS/ UART2_RTS	AIN10 /VC0_INP0/ VC1_INN0/ SEG27	-
40	AVSS	S	-	-	-
41	AVDD	S	-	-	-
42	PC2	I/O	SPI1_MISO/ LPTIM0_TOGN /PCNT_S1/ UART2_RXD	AIN12/ VC0_INP2/ VC1_INN2/ SEG25	-
43	PC3	I/O	SPI1_MOSI/LPTIM0_ETR /LPTIM0_TOGN/ PCNT_S1FO/ UART2_TXD	AIN13/ VC0_INP3/ VC1_INN3/ SEG24	-
44	PC1	I/O	LPTIM0_TOG/ TIM5_CHB/ UART1_RTS/ PCNT_S0FO/ UART2_CTS	AIN11 /VC0_INP1 /VC1_INN1/ SEG26	-
45	PA0	I/O	UART1_CTS /LPUART1_TXD /TIM0_ETR/ VC0_OUT/TIM1_CHA/ TIM3_ETR/ TIM0_CHA	AIN0/ VC0_INP4/ VC0_INN0/ VC1_INP0/ VC1_INN4/ SEG23	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
46	PA1	I/O	UART1_RTS/ LPUART1_RXD /TIM0_CHB/ TIM1_ETR /TIM1_CHB/ HCLK_OUT/ SPI1_MOSI	AIN1/ VC0_INP5/ VC0_INN1 /VC1_INP1 /VC1_INN5/ SEG22	-
47	GND	S	-	-	-
48	RFIO	I/O	-	-	射频信号输出和 输入引脚
49	GND	S	-	-	-
50	GND	S	-	-	-
51	PA2	I/O	UART1_TXD /TIM0_CHA /VC1_OUT /TIM1_CHA /TIM2_CHA/ PCLK_OUT /SPI1_MISO	AIN2 /VC0_INP6/ VC0_INN2 /VC1_INP2/ SEG21	-
52	PA3	I/O	UART1_RXD /TIM0_GATE /TIM1_CHB TIM2_CHB/ SPI1_CS/ TIM3_CH1A /TIM5_CHA	AIN3 /VC0_INP7 /VC0_INN3/ VC1_INP3/ SEG20	-
53	PC4	I/O	LPUART0_TXD/ TIM2_ETR/ IR_OUT/ VC2_OUT	AIN14/ VC0_INN8/ OP3_OUT4/ SEG15	-
54	PC5	I/O	LPUART0_RXD /TIM6_CHB/ PCA_CH4	AIN15/ VC0_INN9/ OP3_INN/ SEG14	-
55	PB0	I/O	PCA_CH2/ TIM3_CH1B/ LPUART0_TXD/ TIM5_CHB/ RCH_OUT/ RCL_OUT/ PLL_OUT	AIN8 /VC0_INN10/ VC1_INN6/ OP3_INP/ SEG13	-
56	PB1	I/O	PCA_CH3 /PCLK_OUT /TIM3_CH2B/ TIM6_CHB/ LPUART0_RTS/ VC2_OUT/ TCLK_OUT	AIN9/EXVREF /VC1_INP6/ VC1_INN7/ VC2_INP1/ VC2_INN1/ SEG12	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
57	PB2	I/O	LPTIM0_TOG/ PCA_ECI /LPUART1_TXD /TIM4_CHA /TIM1_BK /TIM0_BK /TIM2_BK	AIN16/ VC1_INP7/ VC1_INN8/ SEG11	-
58	PB10	I/O	I2C1_SCL/ SPI1_SCK /TIM1_CHA/ LPUART0_TXD/ TIM3_CH1A /LPUART1_RTS/ UART1_RTS	AIN17/ VC1_INP8/ SEG10	-
59	PB11	I/O	I2C1_SDA /TIM1_CHB/ LPUART0_RXD/ TIM2_GATE/ TIM6_CHA /LPUART1_CTS/ UART1_CTS	AIN18/ VC2_INP8/ VC2_INN4/ SEG9	-
60	PB12	I/O	SPI1_CS /TIM3_BK/ LPUART0_TXD/ TIM0_BK /LPUART0_RTS /TIM6_CHA	AIN19/ VC1_INP9 /SEG8	-
61	PB13	I/O	SPI1_SCK /I2C1_SCL /TIM3_CH0B/ LPUART0_CTS/ TIM1_CHA /TIM1_GATE/ TIM6_CHB	AIN20/ VC1_INP10 SEG7	-
62	GND	S	-	-	-
63	VDD_RF2	S	无线收发器供电引脚 2	-	-
64	PB14	I/O	SPI1_MISO /I2C1_SDA/ TIM3_CH1B/ TIM0_CHA /RTC_1HZ /LPUART0_RTS /TIM1_BK	AIN21/ VC1_INP11/ VC2_INP9/ VC2_INN5/ SEG6	-
65	PB15	I/O	SPI1_MOSI /TIM3_CH2B /TIM0_CHB/ TIM0_GATE/ LPUART1_RXD	AIN22/ SEG5	-
66	PC6	I/O	PCA_CH0/ TIM4_CHA /TIM2_CHA /LPTIM1_GATE/ UART3_RXD	SEG4	-
67	PC7	I/O	PCA_CH1/ TIM5_CHA /TIM2_CHB /LPTIM1_EXT/ UART3_TXD	VC2_INP13/ VC2_INN8/ SEG3	-
68(ZSL420)	NC	-	-	-	-

引脚编码	引脚名称	类型 (1)	主功能	模拟功能	备注
68(ZSL421)	XTA_RF	I	无线收发器时钟源输入端		使用无源晶体请连接到无源晶体输出端, 使用有源晶体请连接到有源晶体输出端
	GND1 ⁽²⁾	S	-	-	接地或者悬空
	GND2 ⁽²⁾	S	-	-	接地或者悬空
	GND3 ⁽²⁾	S	-	-	接地或者悬空
	GND4 ⁽²⁾	S	-	-	接地或者悬空

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻。

2. 芯片 68 个引脚焊盘大小一致, 4 个较小焊盘电气连接都是 GND, 用户可以悬空或者接 GND。

表 7: 复用功能选择位 PSEL

0	1	2	3	4	5	6	7
PA00	UART1_CTS	LPUART1- _TXD	TIM0_ETR	VC0_OUT	TIM1_CHA	TIM3_ETR	TIM0_CHA
PA01	UART1_RTS	LPUART1- _RXD	TIM0_CHB	TIM1_ETR	TIM1_CHB	HCLK_OUT	SPI1_MOSI
PA02	UART1_TXD	TIM0_CHA	VC1_OUT	TIM1_CHA	TIM2_CHA	PCLK_OUT	SPI1_MISO
PA03	UART1_RXD	TIM0_GATE	TIM1_CHB	TIM2_CHB	SPI1_CS	TIM3_CH1A	TIM5_CHA
PA04		UART1_TXD	PCA_CH4	TIM2_ETR	TIM5_CHA	LVD_OUT	TIM3_CH2B
PA08	UART0_TXD	TIM3_CH0A			TIM1_GATE	TIM4_CHA	TIM3_BK
PA09	UART0_TXD	TIM3_CH1A	TIM0_BK	I2C0_SCL		HCLK_OUT	TIM5_CHA
PA10	UART0_RXD	TIM3_CH2A	TIM2_BK	I2C0_SDA	TIM2_GATE	PCLK_OUT	TIM6_CHA
PA11	UART0_CTS	TIM3_GATE	I2C1_SCL		VC0_OUT		TIM4_CHB
PA12	UART0_RTS	TIM3_ETR	I2C1_SDA		VC1_OUT		PCNT_S0
PA13	IR_OUT	UART0_RXD	LVD_OUT	TIM3_ETR	RTC_1HZ	PCNT_S1	VC2_OUT
PA14	UART1_TXD	UART0_TXD	TIM3_CH2A	LVD_OUT	RCH_OUT	RCL_OUT	PLL_OUT
PB00	PCA_CH2	TIM3_CH1B	LPUART0- _TXD	TIM5_CHB	RCH_OUT	RCL_OUT	PLL_OUT
PB01	PCA_CH3	PCLK_OUT	TIM3_CH2B	TIM6_CHB	LPUART0- _RTS	VC2_OUT	TCLK_OUT
PB02	LPTIM_TOG	PCA_ECI	LPUART1- _TXD	TIM4_CHA	TIM1_BK	TIM0_BK	TIM2_BK
PB03		TIM0_CHB	TIM1- _GATE	TIM3_CH0A	LPTIM_GATE	XTL_OUT	XTH_OUT
PB04		PCA_CH0	TIM2_BK	UART0_CTS	TIM2_GATE	TIM3_CH0B	LPTIM_ETR

0	1	2	3	4	5	6	7
PB05			TIM1_BK	PCA_CH1	LPTIM- _GATE	PCNT_S0	UART0_RTS
PB06	I2C0_SCL	UART0_TXD	TIM1_CHB	TIM0_CHA	LPTIM_ETR	TIM3_CH0A	LPTIM_TOG
PB07	I2C0_SDA	UART0_RXD	TIM2_CHB	LPUART1- _CTS	TIM0_CHB	LPTIM- _TOGN	PCNT_S1
PB08	I2C0_SCL	TIM1_CHA		TIM2_CHA	TIM0_GATE	TIM3_CH2A	UART0_TXD
PB09	I2C0_SDA	IR_OUT	SPI1_CS	TIM2_CHA		TIM2_CHB	UART0_RXD
PB10	I2C1_SCL	SPI1_SCK	TIM1_CHA	LPUART0- _TXD	TIM3_CH1A	LPUART1- _RTS	UART1_RTS
PB11	I2C1_SDA	TIM1_CHB	LPUART0- _RXD	TIM2_GATE	TIM6_CHA	LPUART1- _CTS	UART1_CTS
PB12	SPI1_CS	TIM3_BK	LPUART0- _TXD	TIM0_BK		LPUART0- _RTS	TIM6_CHA
PB13	SPI1_SCK	I2C1_SCL	TIM3_CH0B	LPUART0- _CTS	TIM1_CHA	TIM1_GATE	TIM6_CHB
PB14	SPI1_MISO	I2C1_SDA	TIM3_CH1B	TIM0_CHA	RTC_1HZ	LPUART0- _RTS	TIM1_BK
PB15	SPI1_MOSI	TIM3_CH2B	TIM0_CHB	TIM0_GATE			LPUART1- _RXD
PC00	LPTIM- _GATE	PCNT_S0	UART1_CTS	UART2_RTS			
PC01	LPTIM_TOG	TIM5_CHB	UART1_RTS	PCNT_S0FO		UART2_CTS	
PC02	SPI1_MISO	LPTIM- _TOGN	PCNT_S1	UART2_RXD			
PC03	SPI1_MOSI	LPTIM_ETR	LPTIM- _TOGN	PCNT_S1FO	UART2_TXD		
PC04	LPUART0- _TXD	TIM2_ETR	IR_OUT	VC2_OUT			
PC05	LPUART0- _RXD	TIM6_CHB	PCA_CH4				
PC06	PCA_CH0	TIM4_CHA	TIM2_CHA	LPTIM1- _GATE		UART3_RXD	
PC07	PCA_CH1	TIM5_CHA	TIM2_CHB	LPTIM1_ETR		UART3_TXD	
PC13		RTC_1HZ	TIM3_CH1B				
PC14							
PC15							
PD02	PCA_ECI	LPUART0- _RTS	TIM1_ETR				
PF00	I2C0_SDA		UART1_TXD				
PF01	I2C0_SCL	TIM4_CHB	UART1_RXD				

0	1	2	3	4	5	6	7
PF07	I2C1_SDA	LPUART1- _RTS	UART0_RTS				
PF11							

3 功能框图

ZSL420/ZSL21 的功能框图如图 4所示:

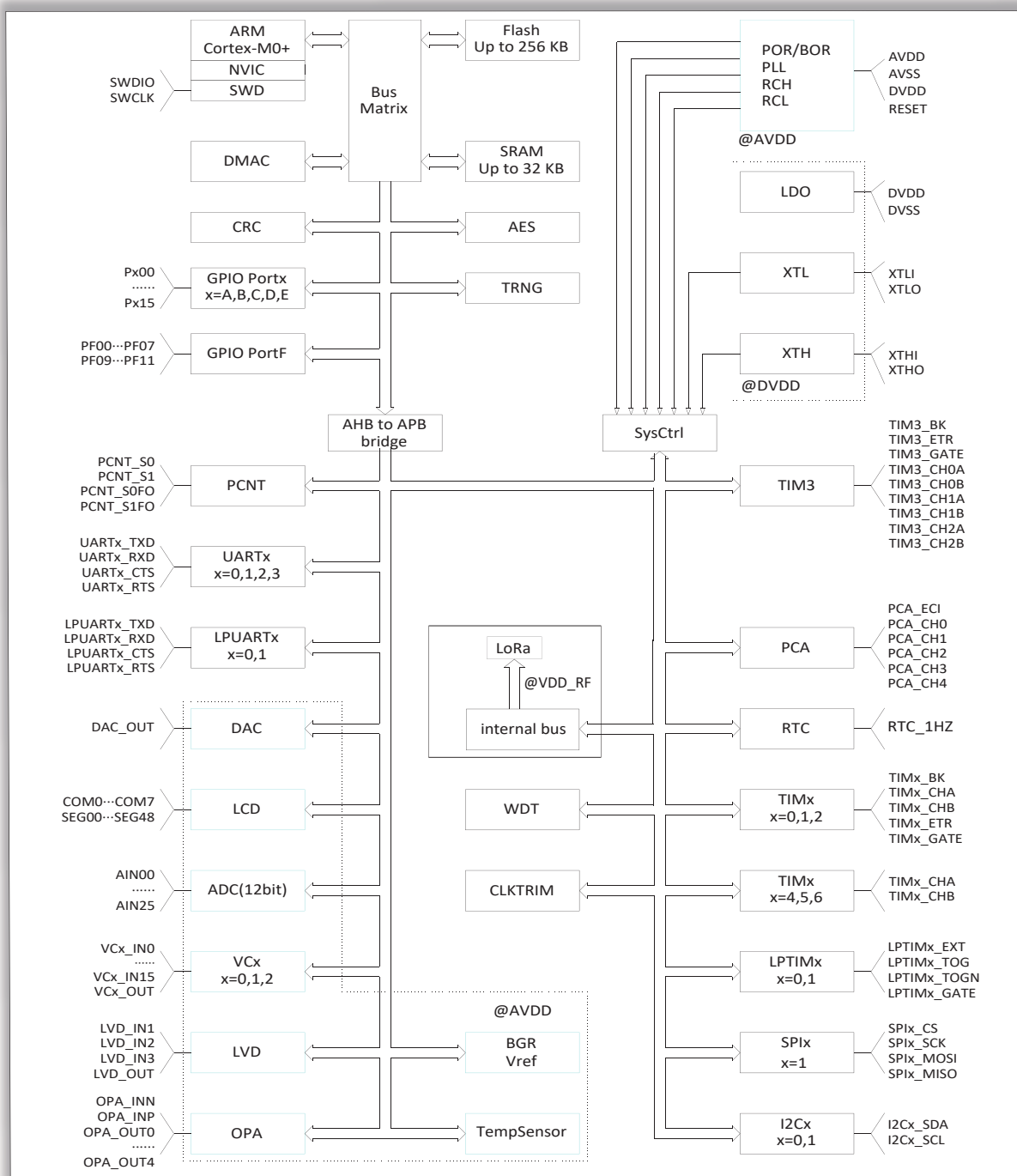


图 4. ZSL420/ZSL21 功能框图

4 存储器

存储器映像如图 5所示:

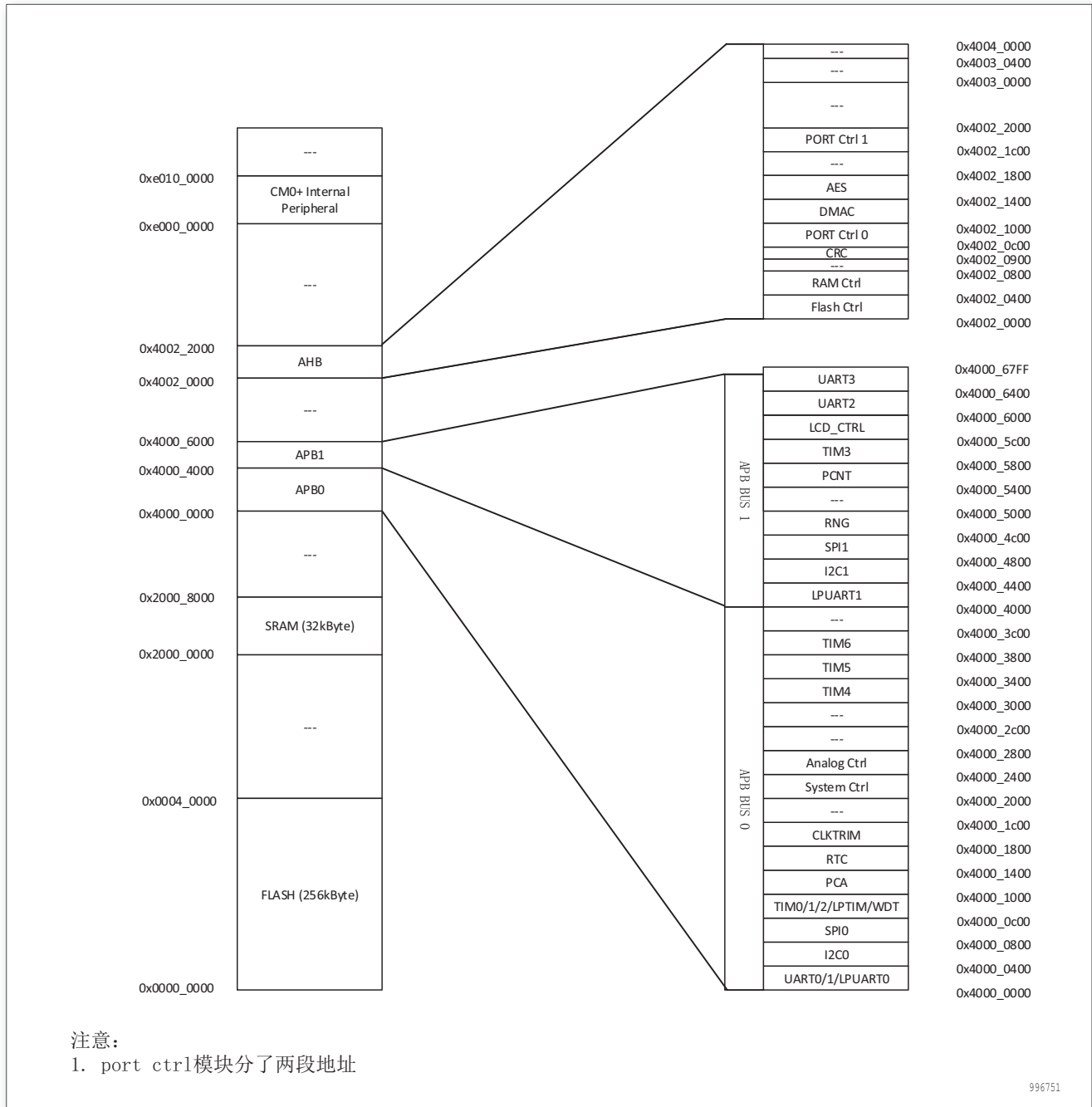


图 5. 存储器映像图

5 电气特性

5.1 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表(表 8、表 9、表 10)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 8: 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压 (包含 V_{DDA} 和 V_{SSA}) ⁽¹⁾	-0.3	3.7V	V
V_{IN}	在 5 V 容忍的引脚上的输入电压 ⁽²⁾⁽³⁾	$V_{SS} - 0.3$	3.7V	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS} - 0.3$	V_{DD}	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差		50	
$V_{ESD(HBM)}$	ESD 静电放电电压 (人体模型)	参见5.5.10		

1. 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息, 请参见下表。
3. $V_{DD} = 3.3V$ 。

表 9: 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流 (供应电流) ⁽¹⁾	300	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (流出电流) ⁽¹⁾	300	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)(3)}$	NRST 引脚的注入电流	± 5	
$I_{INJ(PIN)}^{(2)(3)}$	HXTH 的 XTHI 引脚和 XTL 的 XTLI 引脚的注入电流	± 5	
$I_{INJ(PIN)}^{(2)(3)}$	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 10: 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	- 40 ~ + 85	°C
T_J	最大结温度	105	°C

5.2 EMC 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 11: ESD 特性

符号	参数	条件	典型值	单位
$V_{ESD_{HBM}}$	ESD Human Body Mode		2	KV
$V_{ESD_{CDM}}$	ESD Charge Device Mode		500	V
$V_{ESD_{RFIO}}$		RFIO 端口空气放电	8	KV
$I_{latchup}$	Latch up current		100	mA

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等……)

5.3 MCU 功耗参数

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 指令预取功能开启。当开启外设时: $f_{PCLK0} = f_{HCLK}$, $f_{PCLK1} = f_{HCLK}$ 。
- 如下参数不包含无线部分电流，无线部分电流消耗参考表 39。

表 12: 运行模式下的典型电流消耗, 数据处理代码从内部 flash 中运行

符号	描述	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD} run in RAM	运行模式下的 供应电流	内部时钟 ⁽²⁾	4MHz	750	350	uA
			8MHz	1460	660	
			16MHz	2850	1250	
			22.12MHz	3940	1710	
			24MHz	4270	1850	
		PLL ⁽²⁾	32MHz	5750	2560	
			48MHz	8540	3770	
I_{DD} run in Flash	运行模式下的 供应电流	内部时钟 ⁽²⁾	4MHz	1000	610	uA
			8MHz	1890	1090	
			16MHz	3710	2080	
			22.12MHz	5010	2770	
			24MHz	5400	2970	
I_{DD} run in Flash	运行模式下的 供应电流	PLL 4M-xxM	16MHz	3930	2290	uA
			24MHz	5480	3060	
			32MHz	6590	3410	
			40MHz	8100	4110	
			48MHz	9610	4860	
		PLL 8M-xxM	16MHz	3990	2340	
			24MHz	5530	3120	
			32MHz	6640	3460	
			40MHz	8160	4160	
			48MHz	9670	4910	

符号	描述	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I _{DD} sleep	睡眠模式下的供应电流	内部时钟 ⁽²⁾	4MHz	550	150	uA
			8MHz	1060	260	
			16MHz	2050	450	
			22.12MHz	2830	610	
			24MHz	3070	650	
		PLL 4M-xxM	16MHz	2290	690	
			24MHz	3200	790	
			32MHz	4190	990	
			40MHz	5200	1200	
			48MHz	6190	1410	
		PLL 8M-xxM	16MHz	2350	740	
			24MHz	3250	840	
			32MHz	4240	1040	
			40MHz	5250	1250	
			48MHz	6250	1460	
I _{DD} LP run	低速运行供应电流	时钟	32K	12	9	uA

1. 典型值是在 T_A = 25°C 下测试得到。由综合评估得出，不在生产中测试。

表 13: 深度睡眠模式

模式	条件	温度	典型值	最大值	单位
RTC+WDT+ LPT+XTL32K +DeepSleep	XTL32K Driver=0x0	TA=N40-25C	1130	1340	nA
		TA=50C	1680	2270	
		TA=85C	6520	8010	
LPT+XTL32K +DeepSleep	XTL32K Driver=0x0	TA=N40-25C	1030	1230	nA
		TA=50C	1760	2150	
		TA=85C	6460	7840	
RTC+XTL32K +DeepSleep	XTL32K Driver=0x0	TA=N40-25C	990	1170	nA
		TA=50C	1720	2100	
		TA=85C	6390	7820	
XTL32K +DeepSleep	XTL32K Driver=0x0	TA=N40-25C	930	1100	nA
		TA=50C	1660	2010	
		TA=85C	6330	7650	
WDT +DeepSleep		TA=N40-25C	710	840	nA
		TA=50C	1430	1740	
		TA=85C	6080	7500	
DeepSleep		TA=N40-25C	610	730	nA
		TA=50C	1330	1630	

模式	条件	温度	典型值	最大值	单位
		TA=85C	5990	7360	

1. 典型值是在 $T_A = 25^{\circ}\text{C}$ 下测试得到。由综合评估得出，不在生产中测试。
2. 若没有其他指定条件, $V_{\text{cap}}=1.5\text{V}, V_{\text{DD}}=3.3\text{V}$ 。
3. 无线部分需配置为冷启动休眠模式。

5.4 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准。

5.4.1 最小和最大值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $TA=25^{\circ}\text{C}$ 和 $TA=T_{\text{Amax}}$ 下执行的测试 (T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布得到。

5.4.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{\text{DD}} = 3.3\text{V}(1.8\text{V} \sim 3.7\text{V})$ 。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值 (平均 $\pm 2\sigma$)。

5.5 工作条件

5.5.1 通用工作条件

表 14: 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	48	MHz
f_{PCLK0}	内部 APB0 时钟频率		0	48	
f_{PCLK1}	内部 APB1 时钟频率		0	48	
V_{DD}	数字部分工作电压		1.8V	3.7V	V
V_{DDA}	模拟部分工作电压	必须与 $V_{\text{DD}}^{(1)}$ 相同	1.8V	3.7V	V
T_A	最大功率耗散		-40	+85	$^{\circ}\text{C}$
T_J	结温度范围		-40	+105	$^{\circ}\text{C}$

1. 当使用 ADC 时，参见 ADC 电气参数
2. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有 300 mV 的差别。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax} (参见节 5.4)， T_A 可以扩展到这个范围。

5.5.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 15: 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{VDD} 上升速率		0	∞	$\mu\text{S/V}$
	V_{VDD} 下降速率		10	∞	

5.5.3 内嵌复位和 LVD 模块特性

内嵌复位和 LVD 模块特性如图所示：

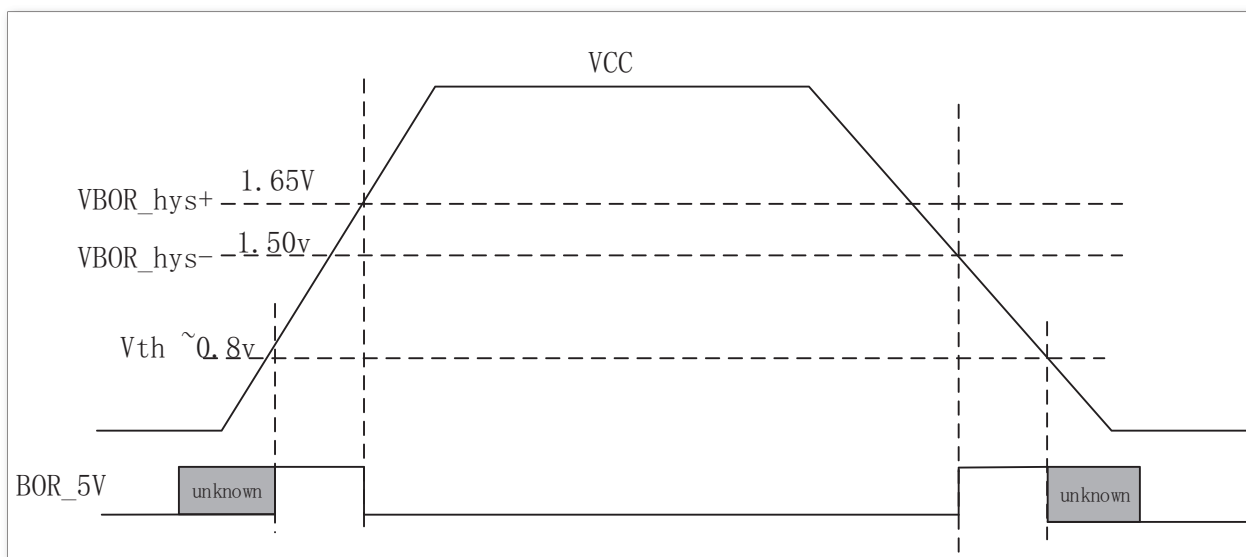


图 6. 上下电示意图

下表中给出的参数是依据表 14 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 16: 内嵌复位和 LVD 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{por}	POR /BOR (上/下电过程)		1.45	1.50	1.65	V
V_{ex}	外部输入电压范围		0		VDD	V
V_{LVD}	检测阈值	LVD_CR.VTDS=0000	1.7	1.8	1.9	V
		LVD_CR.VTDS=0001	1.8	1.9	2.0	V
		LVD_CR.VTDS=0010	1.9	2.0	2.1	V
		LVD_CR.VTDS=0011	2.0	2.1	2.2	V
		LVD_CR.VTDS=0100	2.1	2.2	2.3	V
		LVD_CR.VTDS=0101	2.2	2.3	2.4	V
		LVD_CR.VTDS=0110	2.3	2.4	2.5	V
		LVD_CR.VTDS=0111	2.4	2.5	2.6	V

符号	参数	条件	最小值	典型值	最大值	单位
V _{LVD}	检测阈值	LVD_CR.VTDS=1000	2.5	2.6	2.7	V
		LVD_CR.VTDS=1001	2.6	2.7	2.8	V
		LVD_CR.VTDS=1010	2.7	2.8	2.9	V
		LVD_CR.VTDS=1011	2.8	2.9	3.0	V
		LVD_CR.VTDS=1100	2.9	3.0	3.1	V
		LVD_CR.VTDS=1101	3.0	3.1	3.2	V
		LVD_CR.VTDS=1110	3.1	3.2	3.3	V
		LVD_CR.VTDS=1111	3.2	3.3	3.4	V
I _{comp}	功耗			0.12		uA
T _{response}	响应时间			80		uS
T _{setup}	建立时间			400		uS
V _{hyste}	迟滞电压			40		mV
T _{filter}	滤波时间	LVD_debounce = 000		7		uS
		LVD_debounce = 001		14		uS
		LVD_debounce = 010		28		uS
		LVD_debounce = 011		112		uS
		LVD_debounce = 100		450		uS
		LVD_debounce = 101		1800		uS
		LVD_debounce = 110		7200		uS
		LVD_debounce = 111		28800		uS

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。
2. 由设计保证，不在生产中测试。

5.5.4 内置的参照电压

下表中给出的参数是依据表 14 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 17: 内置的参照电压 (1)

符号	参数	条件	最小值	典型值	最大值	单位
VREF25	Internal 2.5v Reference Voltage	常温 25 °C, 3.3V	2.475	2.5	2.525	V
VREF25	Internal 2.5v Reference Voltage	-40 °C~+85 °C;1.8V ~ 3.7V	2.463	2.5	2.525	V[1]
VREF15	Internal 1.5v Reference Voltage	常温 25 °C, 3.3V	1.485	1.5	1.515	V
VREF15	Internal 1.5v Reference Voltage	-40 °C~+85 °C;1.8V ~ 3.7V	1.477	1.5	1.519	V[1]
TCoeff	Internal 2.5v 1.5v temperature coefficient	-40 °C~ +85 °C			120	ppm/ °C

1. 数据基于考核结果，不在生产中测试。

5.5.5 从低功耗模式唤醒的时间

唤醒时间是在 RCH 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 休眠模式：时钟源是 RCH 振荡器
- 深度休眠模式：时钟源是进入深度休眠时所使用的时钟是 RCH 振荡器

表 18: 从低功耗模式唤醒的时间

符号	描述	条件	最小值	典型值	最大值	单位
T _{wu}	休眠模式 唤醒时间			1.8		us
	深度休眠 唤醒时间	FMCLK = 4MHz		9.0		us
		FMCLK = 8MHz		6.0		us
		FMCLK = 16MHz		5.0		us
		FMCLK = 24MHz		4.0		us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.5.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 19: 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{XTH_ext}	用户外部时钟频率 ⁽¹⁾		0	8	32	MHz
V _{XTHH}	OSC_IN 输入引脚高电平电压		0.7V _{DD}		V _{DD}	V
V _{XTHL}	OSC_IN 输入引脚低电平电压		V _{SS}		0.3V _{DD}	V
t _{w(XTH)}	OSC_IN 高或低的时间 ⁽¹⁾		16			nS
t _{r(XTH)} t _{f(XTH)}	OSC_IN 上升或下降的时间 ⁽¹⁾				20	nS
C _{in(XTH)}	OSC_IN 输入容抗 ⁽¹⁾			5		pF
DuCy _(XTH)	占空比		40		60	%
I _L	OSC_IN 输入漏电流	V _{SS} ≤ V _{IN} ≤ V _{DD}			±1	uA

1. 由设计保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 20: 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTH_ext}	用户外部时钟频率 ⁽¹⁾		0	32.768	1000	KHz
V_{XTHH}	OSC_IN 输入引脚高电平电压		0.7VDD		VDD	V
V_{XTHL}	OSC_IN 输入引脚低电平电压		VSS		0.3VDD	V
$t_{w(XTH)}$	OSC_IN 高或低的时间 ⁽¹⁾			450		nS
$t_{r(XTH)}$	OSC_IN 上升的时间 ⁽¹⁾				50	nS
$t_{f(XTH)}$	OSC_IN 下降的时间 ⁽¹⁾				50	nS
$C_{in(XTH)}$	OSC_IN 输入容抗 ⁽¹⁾			5		pF
$DuCy_{(XTH)}$	占空比		30	50	70	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 由设计保证，不在生产中测试。

高速外部时钟 XTH

高速外部时钟 (XTH) 可以使用一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减少输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 21: XTH 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4		32	MHz
ESR_{CLK}	支持 ESR 范围	32M		30	60	Ω
ESR_{CLK}	支持 ESR 范围	4M		400	1500	Ω
C_{LX} ⁽³⁾	负载电容	两个管脚都有负载电容	12		24	pF
Duty	占空比		40	50	60	%
I_2	XTH 驱动电流	$V_{DD} = 3.3V$ $V_{IN} = V_{SS}$ 12pF 负载		600		μA
t_{start} ⁽⁵⁾	启动时间	32Mhz(XTR_CR=1111)		300		μS
t_{start} ⁽⁵⁾	启动时间	32Mhz(XTR_CR=0011)		2		mS

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. CLX 指 XTAL 的两个管脚负载电容 CL1 和 CL2。对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时，应该根据晶振的频率和 ESR 等参数，并且将 PCB 和 MCU 引脚的容抗考虑在内。在晶振频率为 32M 时，CLX 需要选择小的电容值，XTH_CR.Driver 为 1110 时，可以选择 CLX 为 12pF。
4. 电流跟随频率变化而变化，测试条件：XTH_CR.Driver=1110
5. Tstart 是启动时间，是从软件使能 XTH 开始测量，直至得到稳定的 32MHz/4MHz 振荡这段时间。这个

数值是在 XTH_CR.Startup=10 设置下, 使用一个标准的晶体谐振器上测量得到, 它可能因晶体制造商和型号的不同而变化较大。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟 (XTL) 可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等), 请咨询相应的生产厂商。(译注: 这里提到的晶体谐振器就是我们通常说的无源晶振)

表 22: XTL 振荡器特性 ($f_{XTH}=32.768\text{KHz}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F _{CLK}	振荡频率			32.768		KHZ
ESR _{CLK}	支持的晶振 ESR 范围			65	85	KΩ
C _{Lx}	负载电容	两个管脚都有负载电容		12		pF
DC _{ACLK}	占空比		30	50	70	%
T _{start}	启动时间	ESR=65K , C _L =12pF		500		ms

1. 由综合评估得出, 不在生产中测试。
2. CLX 指 XTAL 的两个管脚负载电容 CL1 和 CL2。对于 CL1 和 CL2, 建议使用高质量的瓷介电容器, 并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时, 应该将 PCB 和 MCU 引脚的容抗考虑在内。
3. 典型值为 XTL_CR.Driver=1001 时的功耗。选择具有较小 ESR 值的高质量振荡器, 可以通过减小 XTL_CR.Driver 设置值以优化电流消耗。
4. Tstart 是启动时间, 是从软件使能 XTL 开始测量, 直至得到稳定的 32.768KHz 振荡这段时间。这个数值是在 XTL_CR.Driver=1001 和 XTL_CR.Startup=10 设置下, 使用一个标准的晶体谐振器上测量得到, 它可能因晶体制造商和型号的不同而变化较大。

5.5.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (RCH) 振荡器

表 23: RCH 振荡器特性 ⁽¹⁾⁽²⁾

符号	描述	条件	最小值	典型值	最大值	单位
Dev	RCH 振荡器精度	常温常压		0.25		%
		VDD = 1.8V ~3.7V TAMB = -40°C~ 85°C	-2.5		+2.5	%

符号	参数	条件	最小值	典型值	最大值	单位
		VDD = 1.8V ~3.7V TAMB = -20°C~ 50°C	-2.0		+2.0	%
F _{CLK}	振荡频率		4.0	4.0 8.0 16.0 22.01 24.0	24.0	MHZ
I _{CLK}	功耗	F _{MCLK} =4Mhz		80		uA
		F _{MCLK} =8Mhz		100		uA
		F _{MCLK} =16Mhz		120		uA
		F _{MCLK} =24Mhz		140		uA
DC _{CLK}	占空比		45	50	55	%

1. 由设计保证，不在生产中测试。

低速内部 (RCL) 振荡器

表 24: RCL 振荡器特性 (1)(2)

符号	描述	条件	最小值	典型值	最大值	单位
Dev	RCL 振荡器精度	常温常压		0.5		%
Dev	RCL 振荡器精度	VDD = 1.8V ~3.7V TAMB = -40°C~ 85°C	-2.5		+2.5	%
Dev	RCL 振荡器精度	VDD = 1.8V ~3.7V TAMB = -20°C~ 50°C	-1.5		+1.5	%
F _{CLK}	振荡频率			38.4 32.768		KHZ
T _{CLK}	启动时间			150		us
DC _{CLK}	占空比		25	50	75	%
I _{CLK}	功耗			0.35		uA

1. V_{DD} = 3.3V, T_A = -40°C~ 85°C, 除非特别说明。

2. 由综合评估得出，不在生产中测试。

3. 由设计保证，不在生产中测试。

5.5.8 PLL 特性

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 25: PLL 特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}$	PLL 输入时钟 (2)		4	4	24	MHz
	PLL 输入时钟占空比		40		60	%
$f_{\text{PLL_OUT}}$	PLL 倍频输出时钟		8		48	MHz
D_{uty}	输出占空比		48		52	%
t_{LOCK}	PLL 锁相时间	输入频率 4MHz			100	μS

1. 由设计保证, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据 PLL 输入时钟频率使得 $f_{\text{PLL_OUT}}$ 处于允许范围内。

5.5.9 存储器特性

闪存存储器

除非特别说明, 所有特性参数是在 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 得到。

表 26: 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
EC_{flash}	擦写次数		20K			cycles
RET_{flash}	数据保存期限	$T_{\text{AMB}} = 85^{\circ}\text{C}$	20			Years
		常温	100			Years
TW_{prog}	编程时间		6		7.5	μS
T_{perase}	页擦除时间		4		5	ms
Tm_{erase}	整片擦除时间		30		40	ms

5.5.10 I/O 端口特性

输出特性

表 27: 输出特性

符号	参数	条件	最小值	最大值	单位
V_{OH}	弱驱模式, 输出高电平	VDD=3.3V $I_{\text{OH}}=4\text{mA}$, see note1	VDD-0.25		V
		VDD=3.3V $I_{\text{OH}}=8\text{mA}$, see note2	VDD-0.6		V
V_{OL}	弱驱模式, 输出低电平	VDD=3.3V $I_{\text{OL}}=5\text{mA}$, see note1		VSS+0.25	V
		VDD=3.3V $I_{\text{OL}}=14\text{mA}$, see note2		VSS+0.6	V

符号	参数	条件	最小值	最大值	单位
V _{OHD}	强驱模式, 输出高电平	VDD=3.3V I _{OHD} =8mA, see note1	VDD-0.25		V
		VDD=3.3V I _{OHD} =18mA, see note1	VDD-0.6		V
V _{OLD}	强驱模式, 输出低电平	VDD=3.3V I _{OLD} =5mA, see note1		VSS+0.25	V
		VDD=3.3V I _{OLD} =14mA, see note2		VSS+0.6	V

note:

1. 弱驱最大的输出总电流, I_{OH} 及 I_{OL} 用于所有输出相结合, 不应超过 40 mA, 以满足指定的最大值的电压降。
2. 强驱最大的输出总电流, I_{OH} 及 I_{OL} 用于所有输出相结合, 不应超过 100 mA, 以满足指定的最大值的电压降。

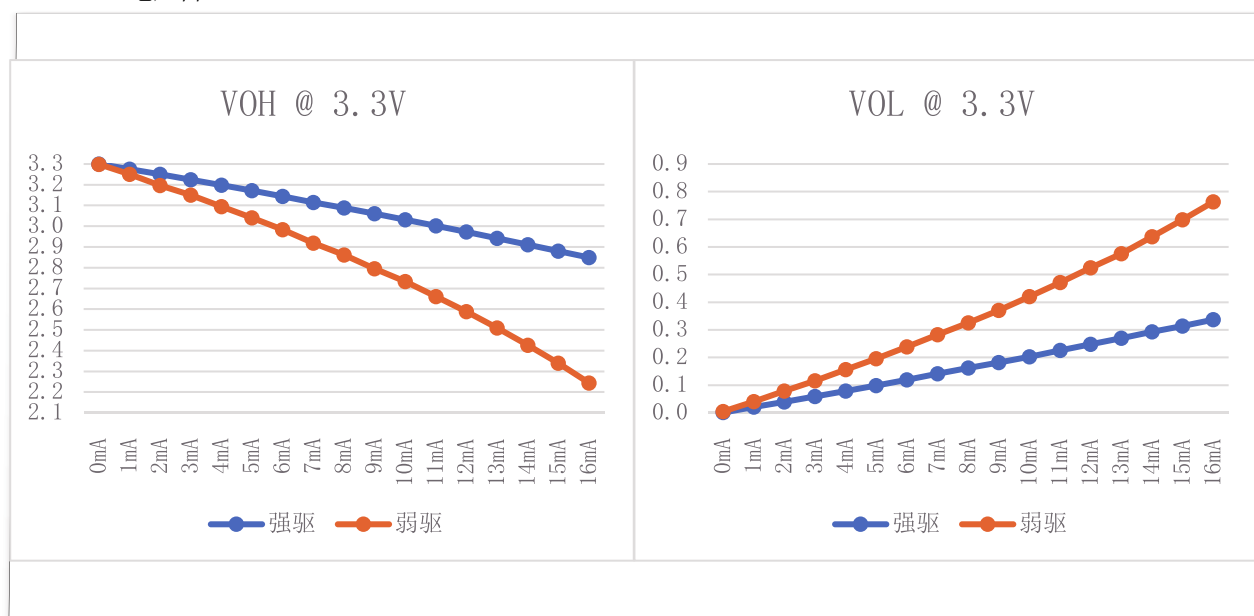


图 7. 输出端口 VOH/VOL 与输出电流对应曲线

输入特性, 端口 PA, PB, PC, PD, PE, PF, RESET

表 28: 输入特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IH}	高电平输入	VDD=3.3V	2.0			V
V _{IL}	低电平输入	VDD=3.3V			1.0	V
V _{hys}	电压迟滞	VDD=3.3V		0.4		V

符号	参数	条件	最小值	典型值	最大值	单位
$R_{pullhigh}$	上拉电阻	VDD=3.3V 上拉使能		80		Kohm
$R_{pulllow}$	下拉电阻	VDD=3.3V 下拉使能		40		Kohm
C_{input}	Input capacitance			5		pf

1. 由综合评估得出，不在生产中测试。

5.5.11 端口外部输入采样要求

表 29: 输入特性

符号	参数	条件	最小值	典型值	最大值	单位
T_{int}	外部中断时间	外部中断触发		30		ns
T_{cap}	定时器捕获时间	定时捕获, SYS=4Mhz		0.5		us
T_{clk}	外部引脚输入定时器时钟源	外部时钟输入, SYS=4Mhz			PCLK/2	Mhz
T_{pca}	外部引脚输入 PCA 时钟源	PCA 外部时钟输入, SYS=4Mhz			PCLK/8	Mhz

1. 由综合评估得出，不在生产中测试。
2. 外部信号中断标志每次设置最小 T_{int} 。它可能设置与触发信号甚至少于 T_{int} 。

5.5.12 端口漏电特性 PA,PB,PC,PD,PE,PF

表 30: 端口漏电特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{lkg}(Px.y)$	漏电流	see Note		50		nA

1. 漏电流是用 VSS 或 VDD 应用到相应引脚，除非另有说明。
2. 该端口引脚必须选定作为输入。

5.5.13 RESETB 引脚特性

RESETB 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

表 31: RESETB 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{RESETB})$	输入低电平		-0.3		0.8	V
$V_{IH}(\text{RESETB})$	输入高电平		$0.8 \cdot V_{DD}$		$V_{DD} + 0.5$	V
$V_{hys}(\text{RESETB})$	施密特触发器电压迟滞			200		mV

符号	参数	条件	最小值	典型值	最大值	单位
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$		80		Kohm
$T_{F(RESETB)}$	输入滤波脉冲				100	ns
$T_{NF(RESETB)}$	输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。

5.5.14 ADC 特性

表 32: ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{ADCIN}	输入电压范围	单端	0		$V_{ADCREFIN}$	V
$V_{ADCREFIN}$	参考电压范围	单端	0		AVDD	V
I_{ADC1}	ADC 电流 (包括基准和缓冲器)	200Ksps		2		mA
I_{ADC2}	ADC 电流 (不包括基准和缓冲器)	1Msps		0.5		mA
C_{ADCIN}	ADC 输入电容			16	19.2	pF
R_{ADC}	采样开关阻抗			1.5		Kohm
R_{AIN}	外部输入阻抗				100	Kohm
F_{ADCCLK}	ADC 时钟				24	Mhz
$T_{ADCSTART}$	ADC 启动时间			30		us
$T_{ADCCONV}$	转换时间		20	24	28	cycles
ENOB	有效位	1Msps $V_{DD} \geq 2.8v$ 500Ksps $V_{DD} \geq 2.8v$, 200Ksps $V_{DD} \geq 2.8v$ REF=EXREF		10.3		bit
		1Msps $V_{DD} \geq 2.8v$ 500Ksps $V_{DD} \geq 2.8v$ 200Ksps $V_{DD} \geq 2.8v$ REF=VDD		10.3		bit
		200Ksps $V_{DD} \geq 2.8v$ REF= 内部 1.5V		9.4		bit
		200Ksps $V_{DD} \geq 2.8v$ REF= 内部 2.5V		9.4		bit

符号	参数	条件	最小值	典型值	最大值	单位
SNR	信噪比	1Msps VDD>=2.8v 500Ksps VDD>=2.8v 200Ksps VDD>=2.8v REF=EXREF		68.2		dB
		1Msps VDD>=2.8v 500Ksps VDD>=2.8v 200Ksps VDD>=2.8v REF=VDD		68.2		dB
		200Ksps VDD>=2.8v REF= 内部 1.5V		60		dB
		200Ksps VDD>=2.8v REF= 内部 2.5V		60		dB
DNL	微分非线性	200Ksps; VREF=EXREF/AVDD	-1		1	LSB
INL	积分非线性	200Ksps; VREF=EXREF/AVDD	-3		3	LSB
Eo	偏移误差			0		LSB
Eg	增益误差			0		LSB

1. 由设计保证，不在生产中测试。

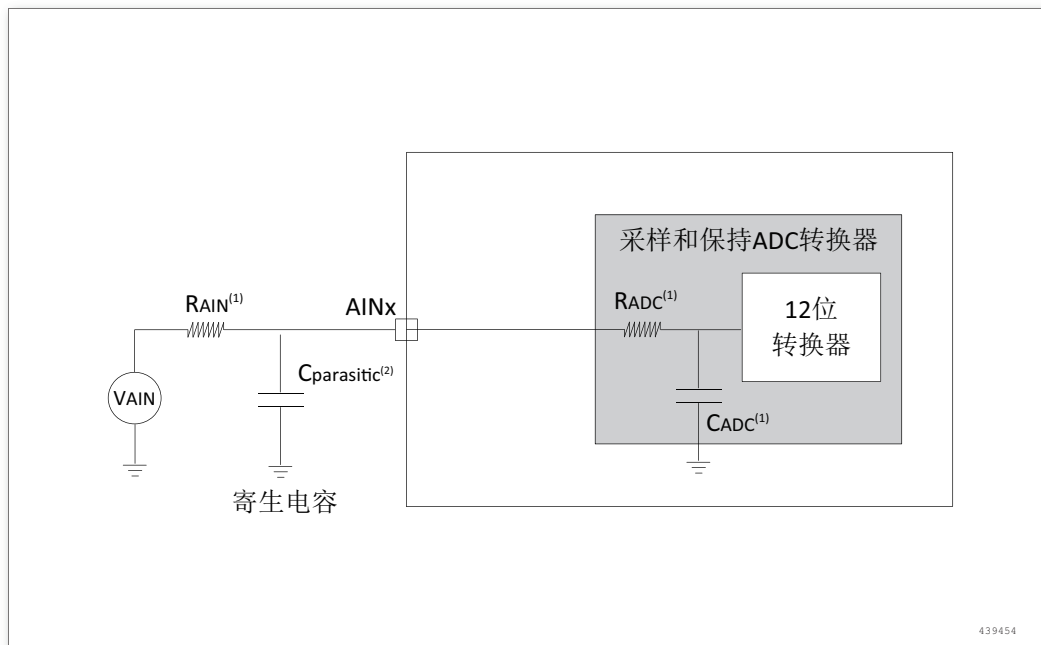


图 8. MCU 内部 ADC 典型应用电路

对于 0.5LSB 采样误差精度要求的条件下，外部输入阻抗的计算公式如下：

$$R_{AIN} = \frac{M}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

其中 F_{ADC} 为 ADC 时钟频率，寄存器 ADC_CR0<3:2> 可设定其与 PCLK 的关系，如下表。M 为采样周期个数，由寄存器 ADC_CR0<13:12> 设定。

表 33: f_{ADC} 与 PCLK 的关系

(ADC_CR03:2)	N	(ADC_CR013:12)	M
00	1	00	4
01	2	01	6
10	4	10	8
11	8	11	12

下表为 ADC 时钟频率和外部电阻的关系 (M=12, 采样误差 0.5LSB 的条件下):

表 34: f_{ADC} 与外部输入阻抗的关系

R_{ADC} (KOhm)	F_{ADC} (KHz)	R_{ADC} (KOhm)	F_{ADC} (KHz)
10	5600	30	2100
50	1300	80	820
100	660	120	550
150	450		

对于上述典型应用，应注意：

1. 尽量减小 ADC 输入端口 AIN_x 的寄生电容 $C_{PARASITIC}$ ；
2. 除了考虑 R_{AIN} 值外，如果信号源 V_{AIN} 的内阻较大时，也需要加入考虑。

5.5.15 VC 特性

表 35: VC 特性

符号	参数	条件	最小值	典型值	最大值	单位
Vin	输入电压范围		0		3.7V	V
Vincom	输入电压共模范围		0		VDD-0.2	V
Voffset	输入失调电压	常温 25 °C 供电电压 3.3V	-10		+10	mV
Icomp	比较器电流	VCx_BIAS_SEL=00		0.3		uA
		VCx_BIAS_SEL=01		1.2		uA
		VCx_BIAS_SEL=10		10		uA
		VCx_BIAS_SEL=11		20		uA
Tresponse	输入响应时间	VCx_BIAS_SEL=00		20		uS
		VCx_BIAS_SEL=01		5		uS
		VCx_BIAS_SEL=10		1		uS

符号	参数	条件	最小值	典型值	最大值	单位
Tresponse	输入响应时间	VCx_BIAS_SEL=11		0.2		uS
Tsetup	启动时间	VCx_BIAS_SEL=00		20		uS
		VCx_BIAS_SEL=01		5		uS
		VCx_BIAS_SEL=10		1		uS
		VCx_BIAS_SEL=11		0.2		uS
Twarmup	参考电压启动时间			20		uS
Tfilter	数字滤波时间	VC_debounce = 000		7		uS
		VC_debounce = 001		14		uS
		VC_debounce = 010		28		uS
		VC_debounce = 011		112		uS
		VC_debounce = 100		450		uS
		VC_debounce = 101		1800		uS
		VC_debounce = 110		7200		uS
		VC_debounce = 111		28800		uS

5.5.16 OPA 特性

OPA: (AVDD=1.8V ~ 3.7V V, AVSS=0 V, Ta=- 40°C~ +85°C)

表 36: OPA 特性

符号	参数	条件	最小值	典型值	最大值	单位
Vi	输入电压		0		AVDD	V
Vo	输出电压		0.1		AVDD-0.2	V
Io	输出电流		0		1	mA
RL	负载电阻		5K			Ohm
Tstart	初始化时间				20	us
Vio	输入失调电压	Vic=AVDD/2, Vo=AVDD/2 ,RL=5KΩ, Rs=50 pF		±6		mV
PM	相位裕度	Vic=AVDD/2, Vo=AVDD/2 ,RL=5KΩ, Rs=50 pF		80		deg
UGBW	单位增益带宽	Vic=AVDD/2, Vo=AVDD/2 , RL=5KΩ, Rs=50 pF		9.3		Mhz
SR	压摆率	RL=5KΩ, Rs=50 pF		8		V/s

1. 由综合评估保证，不在生产中测试。
2. 需要同时设置 BGR_CR<0>=1。

5.5.17 LCD 控制器

表 37: LCD 控制器特性

符号	参数	工作条件	最小	典型	最大	单位
I_{LCD}	电流	VDD=3.3V		3.3		uA
RH	低驱动电阻			1M		Ω
RL	高驱动电阻			360K		Ω
VLCDH	LCD 可调最高电压				VDD	V
VLCD3	LCD 最高电压				VLCDH	V
VLCD2	LCD 2/3 电压				2/3 VLCDH	V
VLCD1	LCD 1/3 电压				1/3 VLCDH	V
VLCD0	LCD 最低电压		0			V
ΔV_{xx}	LCD 电压偏差	TA=-40~+85 °C			±50	mV

5.5.18 DAC 特性

表 38: DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DACOUT}	输出电压范围	参考电压为 AVDD, 单端参考电压	0		VDD	V
V_{DACCM}	输出共模电压		0		VDD	V
I_{DAC}	DAC 电流	500KSamples/s		15		uA
SR_{DAC}	采样率				500	Ksps
$T_{DACCONV}$	转换时间		2			us
$T_{DACSETTLE}$	建立时间			5		us
SNR_{DAC}	信噪比			59		dB
$SNDR_{DAC}$	信噪失真比			57		dB
$SFDR_{DAC}$	无杂散动态范围			56		dB
$V_{DACOFFSET}$	偏移电压	w/o buffer		2		mV
DNL_{DAC}	微分非线性			±1		LSB
INL_{DAC}	积分非线性			±5		LSB

6 LoRa 射频电路特征

6.1 架构

内置一款半双工无线收发器，能够在 470MHz~510MHz 频段内实现低功耗运行。内部集成如下几个部分：

1. 模拟前端：发送和接收信号链，包括发射链路 PA，接收链路 LNA，发射和接收匹配滤波电路，收发半双工开关切换。
2. 数字调制解调器：内部调制解调器支持 LoRa 和 FSK 调制方式，LoRa 调制带宽 BW 范围 = 7.8 - 500kHz，LoRa 调制扩频因子 = SF5-SF12，对应的通信速率 BR = 0.018 - 62.5kb/s。采用 FSK 调制方式，通信速率 BR=0.6-300kb/s。
3. 数据处理和控制：解调后低中频信号采集与处理，发射接收数据缓存处理，工作模式配置，低功耗管理等。
4. 电源管理：内部无线收发器有两种供电方式，LDO 供电或者 DC-DC 与 LDO 组合供电，可以根据不同的应用场合进行选择。
5. ZSL420 芯片特有，内部集成时钟电路，无线收发器无需外接晶体振荡器。

6.2 内部结构框图

图 9 图 10 为 ZSL420 和 ZSL421 的内部结构框图。

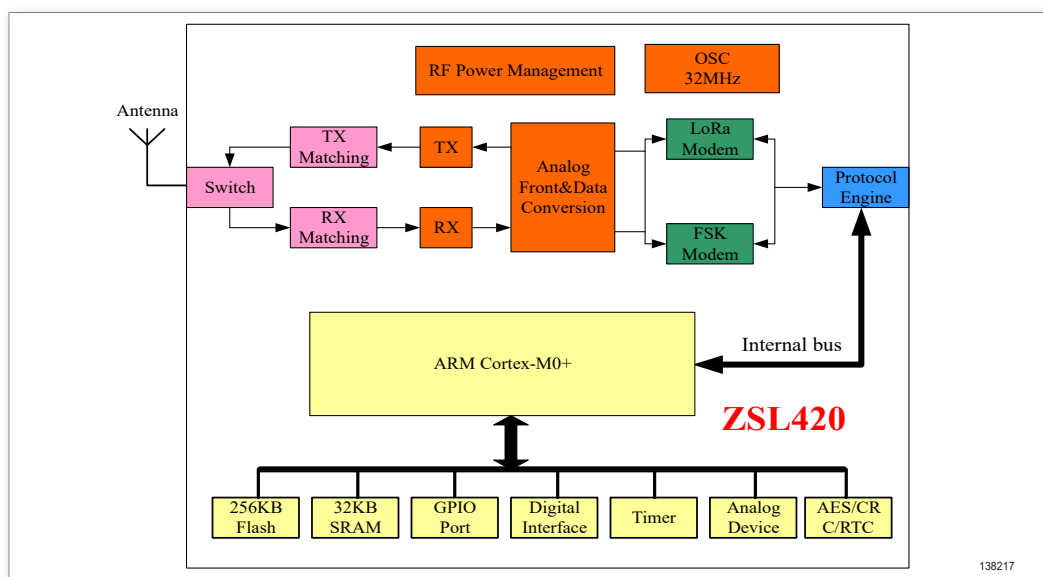


图 9. ZSL420 内部结构框图

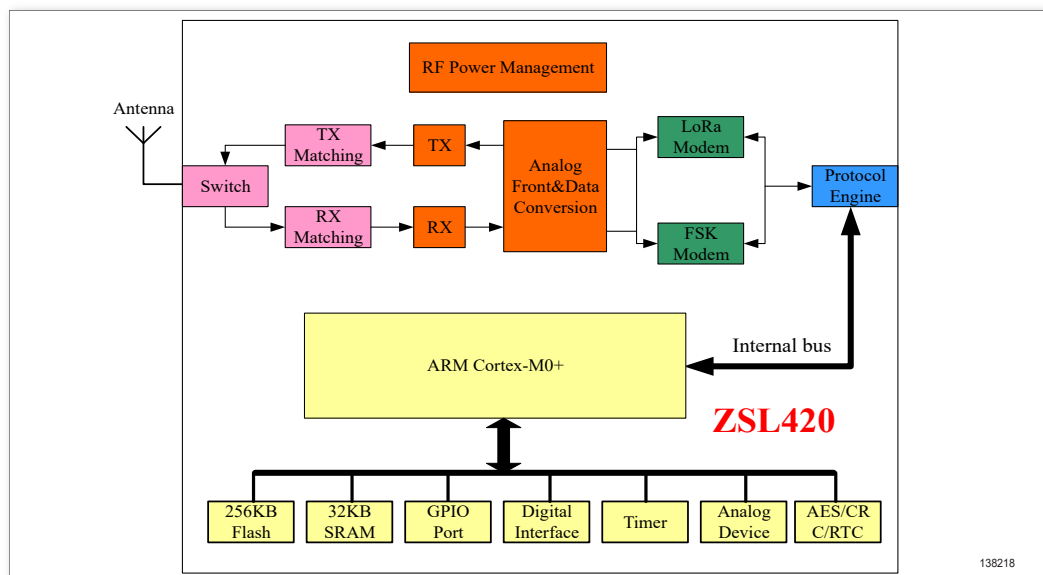


图 10. ZSL421 内部结构框图

6.3 电气特性

6.3.1 测试条件

- VDDRF=3.3V，两个 VDDRF 引脚接同一个 3.3V，电流参数测试数据为流入两个 VDDRF 引脚的电流
- 测试环境温度为 25°C
- 内部 PLL 本振参考时钟源 FXOSC=32MHz，ZSL420 芯片晶体为内部 32MHz 无源晶体振荡器，ZSL421 为外接 TCXO 晶体
- 测试频点 FR=490MHz
- 发射模式下的功率为接标准 50 欧负载条件下测定
- LoRa 调制模式发送数据包长度为 10 个字节，前导码符号长度为 8 个，有效数据编码率为 4/6，硬件 CRC 校验开启，数据包显性包头模式，丢包率容忍为 1%。

6.3.2 供电电流特性

表 39: 供电电流特性

芯片型号	符号	工作模式	测试条件	典型值
ZSL420	IDDOFF	OFF 模式	休眠冷启动模式，所有时钟关闭	0.4uA
	IDDSL	休眠模式	休眠热启动模式，配置保持	0.7uA
			休眠热启动模式，配置保持 +RC64K	1.2uA
	IDDSBR	STDBY_RC 模式	RC13M,XOSC OFF	587uA
	IDDSBX	STDBY_XOSC 模式	XOSC ON	770uA
	IDDFS	频率合成模式	DC-DC ¹ 模式使用	2.2mA
LDO 模式使用			3.6mA	

芯片型号	符号	工作模式	测试条件	典型值
ZSL420	IDDRX	接收模式	DC-DC 模式 LoRa@125KHz	4.5mA
		接收模式	Rx boosted, DC-DC 模式, LoRa@125KHz	4.9mA
		接收模式	LDO 模式 LoRa@125KHz	8.6mA
		接收模式	Rx boosted, LDO 模式, LoRa@125KHz	9.4mA
	IDDTX	发送模式 (490MHz)	21dBm (DUTY=4,HP=7)	108mA
			19dBm (DUTY=4,HP=7)	97.4mA
			17dBm (DUTY=4,HP=7)	86.8mA
			14dBm (DUTY=4,HP=7)	73.4mA
			20dBm (DUTY=4,HP=5)	94.9mA
			17dBm (DUTY=2,HP=4)	63.9mA
14dBm (DUTY=2,HP=2)	38.8mA			
ZSL421	IDDOFF	OFF 模式	睡眠冷启动模式, 所有时钟关闭	0.4uA
	IDDSL	SLEEP 模式	睡眠热启动模式配置保持	0.7uA
			睡眠热启动模式, 配置保持 +RC64K	1.2uA
	IDDSBR	STDBY_RC 模式	RC13M,XOSC OFF	587uA
	IDDSBX	STDBY_XOSC 模式	XOSC ON	2.3mA
	IDDFS	组合模式	DC-DC 模式使用	3.7mA
			LDO 模式使用	5.5mA
	IDDRX	接收模式	DC-DC 模式 LoRa@125KHz	5.9mA
		接收模式	Rx boosted, DC-DC 模式, LoRa@125KHz	6.4mA
		接收模式	LDO 模式 LoRa@125KHz	10.5mA
		接收模式	Rx boosted, LDO 模式, LoRa@125KHz	11mA
	IDDTX	发送模式 (490MHz)	21dBm (DUTY=4,HP=7) ²	110mA
19dBm (DUTY=4,HP=7)			99mA	
17dBm (DUTY=4,HP=7)			89mA	
14dBm (DUTY=4,HP=7)			75mA	
20dBm (DUTY=4,HP=5)			96.5mA	
17dBm (DUTY=2,HP=4)			65.5mA	
14dBm (DUTY=2,HP=2)	40mA			

1. 供电管理可选 DC-DC 与 LDO 组合供电或者 LDO 供电模式, 具体细节见上表。
2. DUTY 和 HP 为 PA 设置参数, 具体细节见用户手册。

6.3.3 常规参数特性

表 40: 常规参数特性

符号	描述	条件	最小值	典型值	最大值	单位
FR	工作频率范围	-	470	-	510	MHz
FSTEP	频率设置步进值	-	-	0.95	-	Hz
PHN	频率合成器相位噪声	1KHz 偏移	-	-93	-	dBc/Hz
		10KHz 偏移	-	-99	-	dBc/Hz
		100KHz 偏移	-	-102	-	dBc/Hz
		1MHz 偏移	-	-123	-	dBc/Hz
		10MHz 偏移	-	-136	-	dBc/Hz
TS_FS	频率合成器唤醒时间	STDBY_XOSC 模式	-	40	-	us
TS_HOP	频率合成器跳频时间	10MHz 步进	-	30	-	us
TS_OSC	外部晶体时钟源切换时间	从 STDBY_RC mode 切换到外部振荡器	-	150	-	us
BR_L	LoRa 调制模式数据速率	最快: 带宽为 500KHz, SF 为 5 最慢: 带宽为 7.8KHz, SF 为 12	0.018	-	62.5	kb/s
BW_L	LoRa 调制带宽	可编程控制	7.8	-	500	KHz
SF	LoRa 调制扩频因子	可编程控制	5	-	12	-
VTCXO	外部 TCXO 时钟电压供电范围	芯片供电电压 $VDDRF > VTCXO + 200mV$	1.6	1.7	3.3	V
ILTCXO	芯片输出给外部 TCXO 供电电流能力		-	1.5	4	mA
TSVTCXO	用于管理外部 TCXO 的调节器启动时间	从使能到输出标准电压 25mv 误差内时间	-	-	100	us
IDDCXO	芯片内部晶振管理单元消耗电流	静态电流跟负载有关联	-	-	70	uA
ATCXO	外部 TCXO 输入到芯片 XTA_RF 引脚输入电压信号范围	外部 TCXO 通过一个 220Ω 电阻和一个 10pF 电容串联连接到芯片输入引脚 XTA_RF。	0.4	0.6	1.2	Vpk

6.3.4 接收器参数特性

表 41: 接收器参数特性

符号	描述	条件	最小值	典型值	最大值	单位
RXS_LB	LoRa 调制模式下接收灵敏度, 接收增强模式	BW_L=10.4KHz, SF=7	-	-134	-	dBm
		BW_L=10.4KHz, SF=12	-	-148	-	dBm
		BW_L=125KHz, SF=7	-	-125	-	dBm
		BW_L=125KHz, SF=12	-	-138	-	dBm
		BW_L=250KHz, SF=7	-	-122	-	dBm
		BW_L=250KHz, SF=12	-	-135	-	dBm
		BW_L=500KHz, SF=7	-	-118	-	dBm

符号	描述	条件	最小值	典型值	最大值	单位
		BW_L=500KHz, SF=12	-	-129	-	dBm
RXS_L	LoRa 调制模式下接收灵敏度, 普通模式	BW_L=125KHz, SF=12	-	-133	-	dBm
CCR_L	LoRa 调制模式下同频抑制	SF=7	-	5	-	dB
		SF=12	-	19	-	dB
ACR_L	LoRa 调制模式下临信道抑制	中心频率偏移 offset=±1.5*BW_L, 带宽 125KHz, 扩频因子为 7	-	60	-	dB
		中心频率偏移 offset=±1.5*BW_L, 带宽 125KHz, 扩频因子为 12	-	72	-	dB
BI_L	LoRa 调制模式下阻塞抑制	带宽 125KHz, 扩频因子为 12, 中心频率偏移 offset=±1MHz	-	88	-	dB
		带宽 125KHz, 扩频因子为 12, 中心频率偏移 offset=±2MHz	-	90	-	dB
		带宽 125KHz, 扩频因子为 12, 中心频率偏移 offset=±10MHz	-	99	-	dB
IIP3	三阶输入截止点	Unwanted tones are 1 MHz and 1.96 MHz above LO	-	-5	-	dBm
IMA	镜像抑制	Without IQ calibration	-	35	-	dB
		With IQ calibration	-	54	-	dB
TS_RX	接收器启动时间	从频率合成完成到接收器启动之间的时间	-	41	-	us
FERR_L	发射和接收最大频率误差, 不开低速率优化, SF5-SF12	全带宽下频率误差都需要满足 ±25%*BW	-	-	±25%	BW
	更严格限制发射和接收最大频率误差, 不开低速率优化, SF10-SF12	SF=12	-50	-	50	ppm
		SF=11	-100	-	100	ppm
		SF=10	-200	-	200	ppm

6.3.5 发射机参数特性

表 42: 发射机参数特性

符号	描述	条件	最小值	典型值	最大值	单位
TXOP	RF 端口最大输出功率	设置 PA 为最高功率档位	-	+21	-	dBm

符号	描述	条件	最小值	典型值	最大值	单位
TXDRP	RF 输出功率跌落与供电电压关系	VDD_RF=2.7V	-	2	-	dB
		VDD_RF=2.4V	-	3	-	dB
		VDD_RF=1.8V	-	6	-	dB
TXPRNG	RF 输出功率范围	可编程的 31 个档位 步进	TXOP-31	-	TXOP	dBm
TXACC	RF 输出功率准确性	-	-	±2	-	dB
TXRMP	PA 放大器斜坡时间	可编程	10	-	3400	us
TS_TX	射频发射唤醒时间	从频率合成器启动成 功后计时	-	36+PA ramping	-	us

6.4 规格描述

6.4.1 时钟参考

1. RC 内部振荡器

无线收发器有两个单独的 RC 振荡器，频率分别是 64kHz 和 13MHz，64kHz 的 RC 振荡器在睡眠模式下可以提供低速时钟参考，通过几条命令即可配置 64kHz 的 RC 振荡器实现实时时钟（RTC）功能。13MHz 的 RC 振荡器可以作为时钟参考，在不启动外部振荡器的条件下，可以与内部 32 位 ARM Cortex M0 内核通信。

2. 外部晶体振荡器

ZSL420 芯片内部集成无线收发器 32M 时钟电路，作为无线收发器频率合成时钟源。ZSL421 芯片内部无集成无线收发器 32M 时钟电路，需要外加晶体振荡器。当 ZSL421 使用无源晶体振荡器时，无需外接匹配电容，芯片内部具有可编程的内部匹配电容，电容值最小 11.3pF，最大 33.4pF，设置步进值为 0.47pF。使用无源晶体振荡器时需要注意一点，当采用 LoRa 调制方式时，有一个低速率优化的调制参数配置项，当这个低速率优化的选项关闭时，在一包数据的发送时间内，频率误差波动最大容忍度 $Freq_drift_max=BW_L/(3*2^{SF})$ ，当开启低速率优化时，在一包数据发射时间内，频率误差容忍将提升 16 倍，为 $16*Freq_drift_max$ 。

3. 外部 TCXO 参考设计

在某些特定应用场合，需要使用很低的通信速率来实现较远距离通信，LoRa 的调制参数就需要配置成大的扩频因子，小的带宽，此时为了得到更高的频率准确度和频率稳定度，ZSL421 芯片 RF 部分外部晶体振荡器推荐采用 TCXO(温度补偿晶振)，参考设计如图 11 所示，推荐采用 Clipped-sine 输出方式的温补晶体，温补晶体输出幅度不能超过 1.2V，温补晶体推荐接入 220 欧姆电阻和 10pF 隔直电容，ZSL421 的 PWR_TCXO 引脚最大输出电流 4mA，PWR_TCXO 引脚输出电压可编程调节，调节范围为 1.6V~3.3V，前提条件是芯片供电电压要比 PWR_TCXO 引脚输出电压高 200mV 以上。

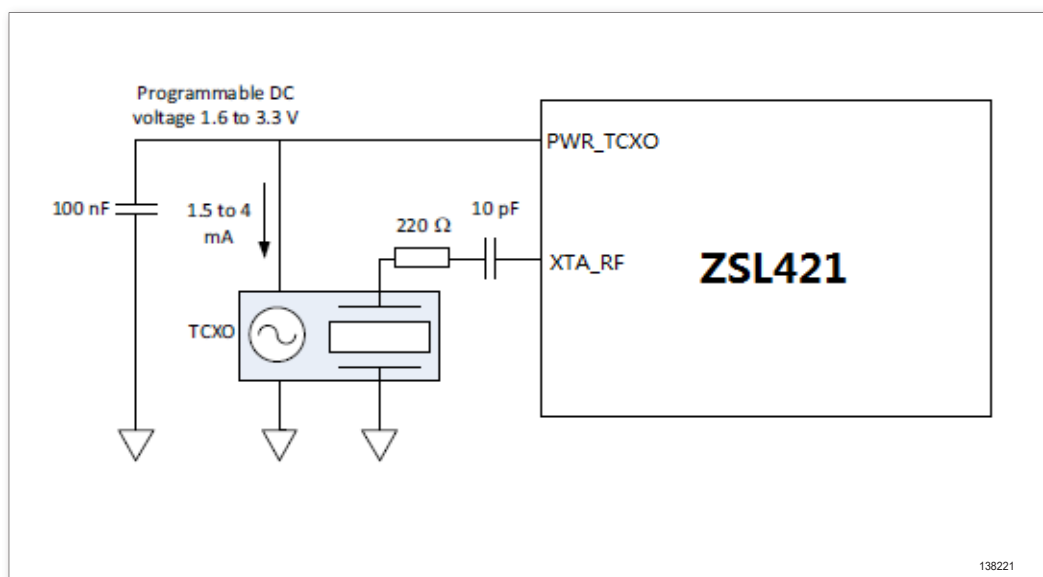


图 11. TCXO 设计参考

6.4.2 接收机

ZSL420/ZSL421 芯片接收 RF 信号后，首先会经过一个低噪声放大器进行放大，然后经过内部混频下变频到一个低中频信号。内部接收机解调后的频率在低中频频率范围，LoRa 调制模式下，发射调制带宽与中频对应如下表。

表 43: 发射调制带宽与中频对应表

带宽设置参数	射频调制带宽（双边带，KHz）	中频（KHz）
LORA_BW_500	500	0
LORA_BW_250	250	250
LORA_BW_125	125	250
LORA_BW_62	62.5	250
LORA_BW_41	41.67	167
LORA_BW_31	31.25	250
LORA_BW_20	20.83	167
LORA_BW_15	15.63	250
LORA_BW_10	10.42	167
LORA_BW_7	7.81	250

6.4.3 发射机

ZSL420/ZSL421 芯片默认发射功率为最大功率 21dBm，发射功率具有 32dB 的可编程调节范围，步进设置值为 1dB，功率放大器斜坡时间也可编程控制。当供电电压过低时，最大功率不能达到 21dBm，在 1.8V 供电和 3.7V 供电设置功率与实际输出功率典型曲线如图 12 所示。在不同供电电压条件下，发射机消耗电流与设定功率典型曲线如图 13 所示。

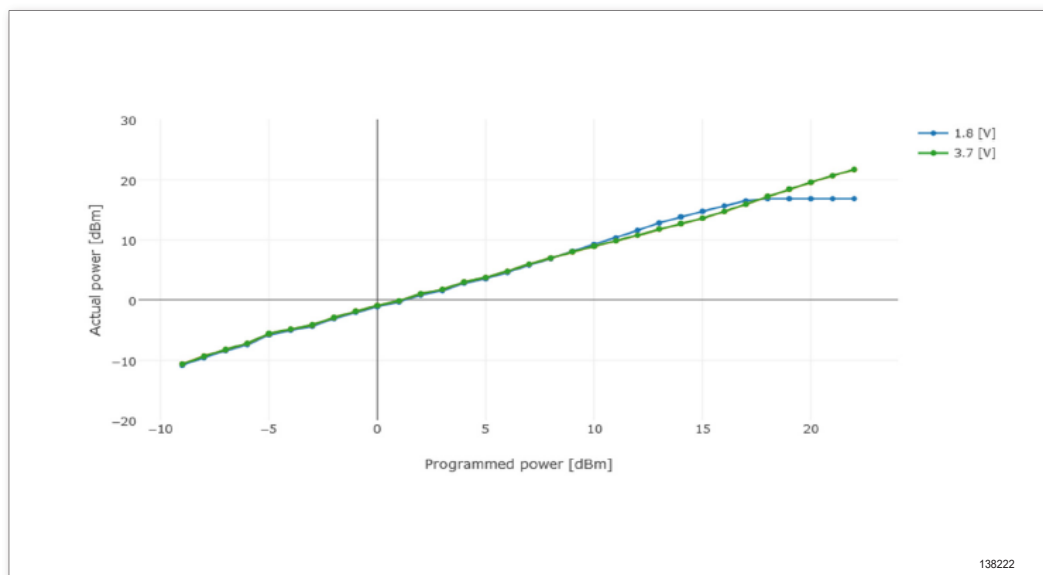


图 12. 实际输出功率与编程功率典型曲线

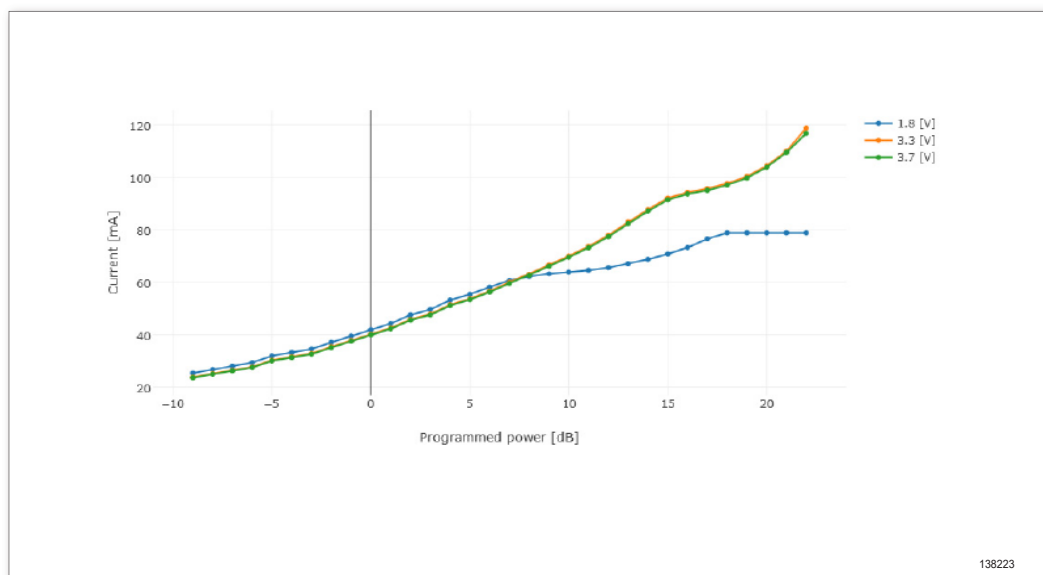


图 13. 消耗电流与设定功率典型曲线

6.4.4 电源管理

ZSL420/ZSL421 芯片内部无线收发器有两种单独的电源管理单元, DC-DC 和 LDO, 在所有的模式下 LDO 供电都是开启状态, 当 DC-DC 供电开启时, 收发器的供电就是 LDO 和 DC-DC 组合供电, 在待机模式 (STDBY_XOSC) 下, DC-DC 开关频率典型值为 3.25MHz, 在 FS, RX 和 TX 模式, DC-DC 开关频率典型值为 5MHz, 通过配置寄存器, 可以在不同运行模式下选择供电方式, 对应关系如表 44 所示。只有在 STDBY_RC 工作模式下, 才允许更改配置供电模式, 其他模式下更改是无效的。当 DC-DC 供电使能时, LDO 依旧会保持输出, 不过 DC-DC 输出电压会比 LDO 输出电压高 50mV, 无线收发器有大电流需求时, LDO 输出可以提供大电流需求。

表 44: 消耗电流与设定功率典型曲线

运行模式	SLEEP	STDBY_RC	STDBY_XOSC	FS	RX	TX
Regulator Type = 0	-	LDO	LDO	LDO	LDO	LDO
Regulator type = 1	-	LDO	LDO+DC-DC	LDO+DC-DC	LDO+DC-DC	LDO+DC-DC

在某些应用场合, 对低功耗要求比较高, 此时应该选择 DC-DC 与 LDO 组合供电, 当选择 DC-DC 与 LDO 组合供电时, 需要外接一个电感和电容, 见图 17, 选择 15uH 电感时电感参数需要满足以下三个参数要求。

$$DCR(max) = 2ohms$$

$$Idc(min) = 100mA$$

$$Freq(min) = 20MHz$$

6.5 LoRa 调制解调器

LoRa 调制解调器使用扩频调制和前后纠错技术, 与传统的 FSK 调制技术相比, 这个技术增加了无线通讯链路的稳定性和传输距离。

6.5.1 LoRa 调制参数

在实际应用中, 为了适应不同的应用场合, 使得无线收发器表现更优, 调制解调器表现更优, 可以通过改变 4 个调制参数, 更改这 4 个参数后, 发射和接收链路预算, 抗干扰性, 频谱占用, 数据传输速率这些都会发生变化。这 4 个参数分别是:

- 调制带宽 (BW_L)
- 扩频因子 (SF)
- 数据包编码率 (CR)
- 低速率优化 (LDRO)

1. 扩频因子

与传统的直接序列扩频不一样的是 LoRa 调制扩频有一个扩频因子参数 SF, LoRa 扩频是将 N_{SF} 个数据比特分割成 $2^{N_{SF}}$ 个码片 (chip) 进行扩频传输, $2^{N_{SF}}$ 个码片就是 LoRa 传输的最小单元符号 (Symbol), 发送 Symbol 的速率称作符号速率 (Rs), 如表 45 所示, 表明了不同 SF 对应解调器最低的解调信噪比。

表 45: 扩频因子与最小解调信噪比对应表

SF	5	6	7	8	9	10	11	12
2^{SF} (Chips/Symbol)	32	64	128	256	512	1024	2048	4096
LoRa Demodulator SNR (dB)	-2.5	-5	-7.5	-10	-12.5	-15	-17.5	-20

值得注意的是当 SF=5 和 SF=6 时, LoRa 调制数据包的前导码长度至少需要 12 个 Symbol, 以便于接收器的动态范围内具有最佳性能。另外不同的扩频因子彼此正交, 所以必须在链路的发送侧和接收侧设定同样的扩频因子

2. 调制带宽

信号调制带宽越大能够支持的有效数据速率就越大。传输速率增大的代价是接收灵敏度降低，大多数国家在允许占用带宽的方面存在监管限制，ZSL420/ZSL421 芯片调制带宽符合监管要求，LoRa 调制解调器带宽是指双边带，如图 14 所示。

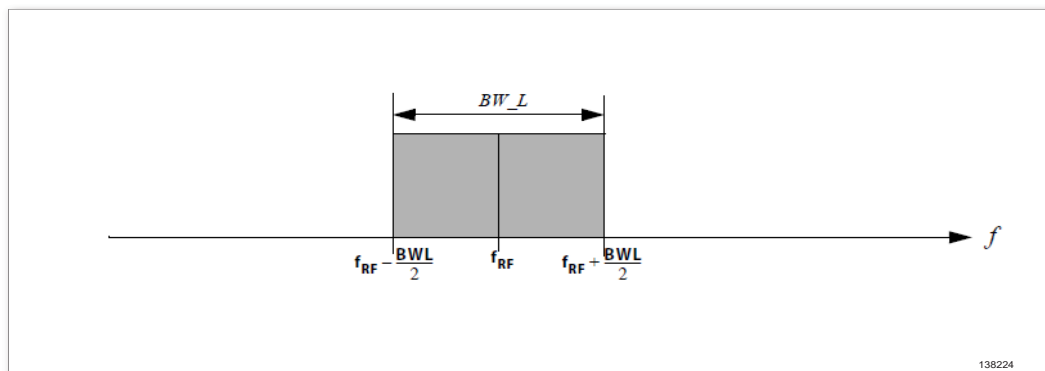


图 14. 双边带调制方式

可配置范围如表

表 46: 调制带宽与配置参数对应表

配置参数	0	1	2	3	4	5	6	7	8	9
BW_L[KHz]	7.81	10.42	15.63	20.83	31.25	41.67	62.5	125	250	500

3. FEC 编码

为了进一步提高收发链路的稳定性，LoRa 调制解调器使用循环错误编码去执行前导错误检测和纠错，前向纠错编码（FEC）对于存在的干扰情况下，在提高链路的稳定性非常有效。发射端配置编码率之后，接收端在包头能够解析出编码率。更高的编码速率可以提高抗干扰能力，但代价是同样的有效数据长度时需要更长的空中传输时间。在正常条件下一个 4/5 的编码率是比较均衡的。在干扰严重的情况下，应该使用一个更高的编码率。纠错编码不需要由接收器预先知道，因为它被编码在发送包的报头部分中。编码率可选择范围如表所示。

表 47: 编码率取值范围

配置参数	循环编码率 CR (有效数据/总数据)	编码开销比率
1	4/5	1.25
2	4/6	1.5
3	4/7	1.75
4	4/8	2

4. 低数据速率优化

为了接收器能够更好地接收信号，通常当发射的一个调制符号时间大于 16.38ms 时，应该打开低速率优化开关。

5. LoRa 传输参数关系

扩频因子和调制带宽由用户选择，LoRa 调制后的最小单元符号速率与这两项有关，定于符号速率 $RS = BW / (2^{\wedge} SF)$ BW 是信号调制后的带宽，SF 是调制的扩频因子。

6.5.2 LoRa 数据帧

LoRa 数据帧有两种格式，一种是显性包头，另一种是隐形包头，显性包头下包括一个短的包头信息和一个包头 CRC 校验信息，这个包头包含了有效数据字节数和编码率。并且采用固定 4/8 的编码率。隐形包头下，无此包头信息和包头 CRC 校验信息。LoRa 数据帧格式如图 15 所示。

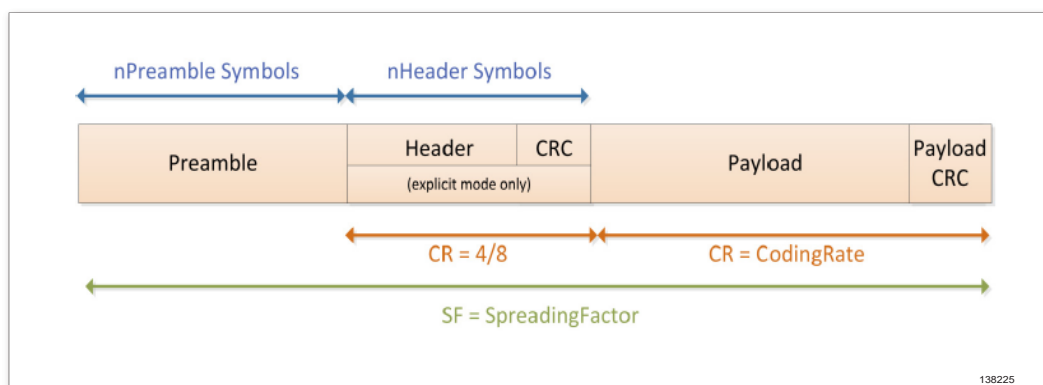


图 15. LoRa 数据帧格式

LoRa 包由前导码序列开始，用来使接收器与输入信号同步。默认情况下，前导码被配置为 12 个符号长度。这个前导码序列长度是可编程的，发送的前导码长度可以在 10 到 65535 个符号之间变动。接收器会进行周期性启动前导码检测程序，接收机前导码长度应该被配置为跟发送器的前导码长度一样，假如前导码长度未知，或者会变化，接收机应该配置成最大的前导码长度。包头之后就是有效数据。在某些情况下，假如有效数据字节长度、编码率提前告知接收机，这种情况可以通过调用隐式报头模式去减少发送时间。在这个模式下包头会在数据包中被去除。在这种情况下，有效数据长度和纠错编码率必须将无线收发器链路的两边都手动的配置为一样。

7 典型应用电路

ZSL420/ZSL421 典型应用电路如图 16、图 17和图 18所示。

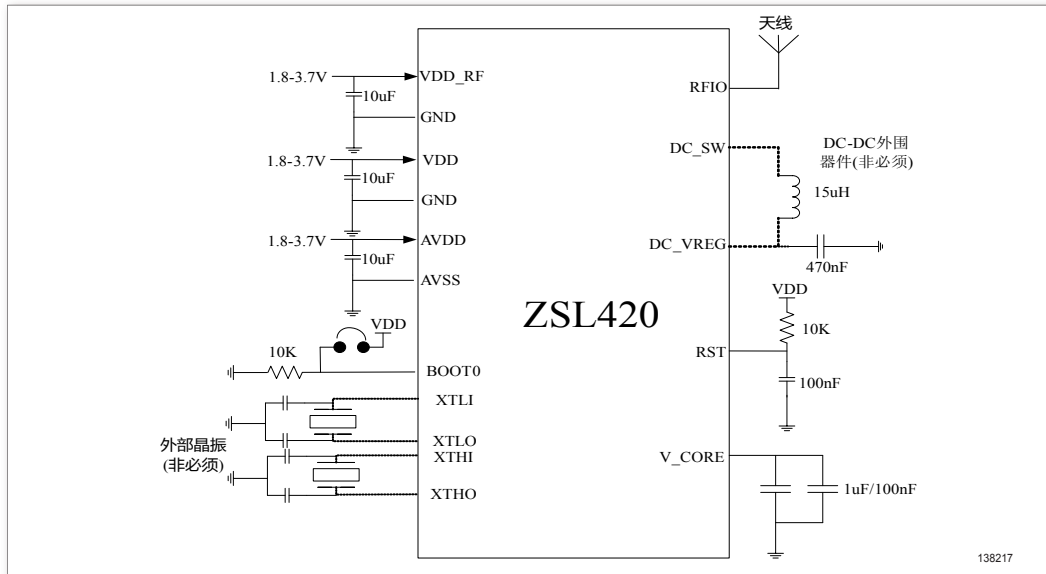


图 16. ZSL420 典型应用电路图

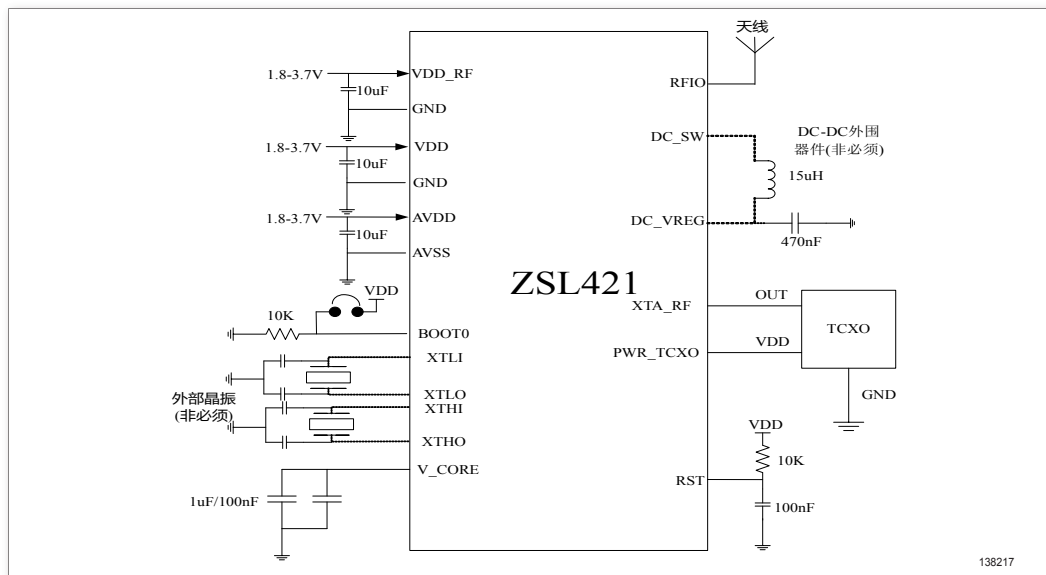


图 17. ZSL421 外接有源晶体典型应用电路图

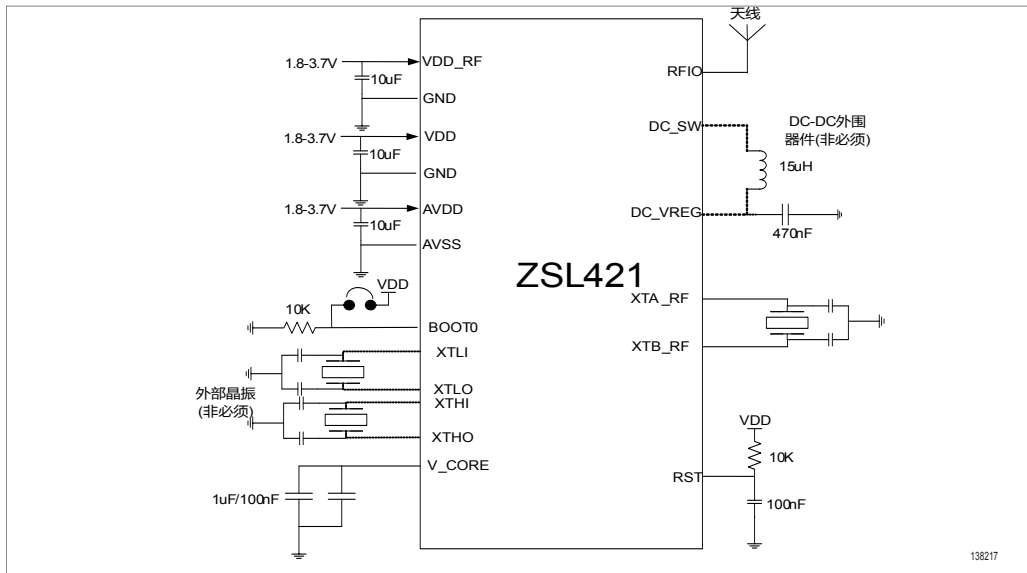


图 18. ZSL421 外接无源晶体典型应用电路图

8 封装特性

8.1 芯片尺寸

芯片封装尺寸图请参考图19。

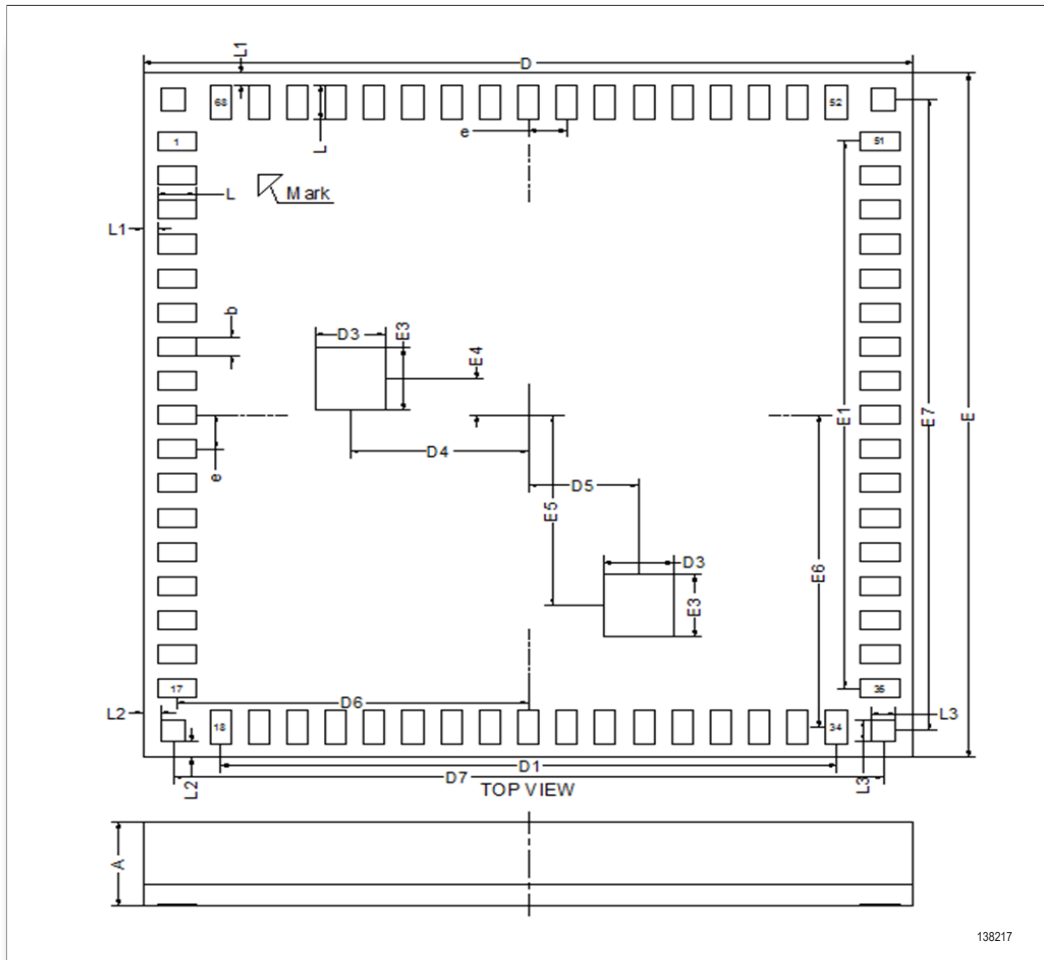


图 19. 芯片封装底视图

SYMBOL	TYPICAL(mm)	TOL(mm)	NOTES
D	11.00	+/-0.1	
E	11.00	+/-0.1	
D1	8.80	+/-0.075	
E1	8.80	+/-0.075	
D2	4.00	+/-0.1	
E2	4.00	+/-0.1	
D3	1.00	+/-0.1	
E3	1.00	+/-0.1	
D4	2.55	+/-0.1	
E4	0.58	+/-0.1	
D5	1.57	+/-0.1	

E5	3.06	+/-0.1	
D6	5.025	+/-0.075	
E6	5.025	+/-0.075	
D7	10.15	+/-0.1	
E7	10.15	+/-0.1	
e	0.55	+/-0.05	
b	0.30	+/-0.05	
L	0.55	+/-0.05	
L1	0.20	+/-0.075	
L2	0.25	+/-0.075	
L3	0.35	+/-0.05	
R	0.50	+/-0.1	
A	1.04	+/-0.07	

8.2 PCB 库参考

PCB 库尺寸请参考图20与图21。

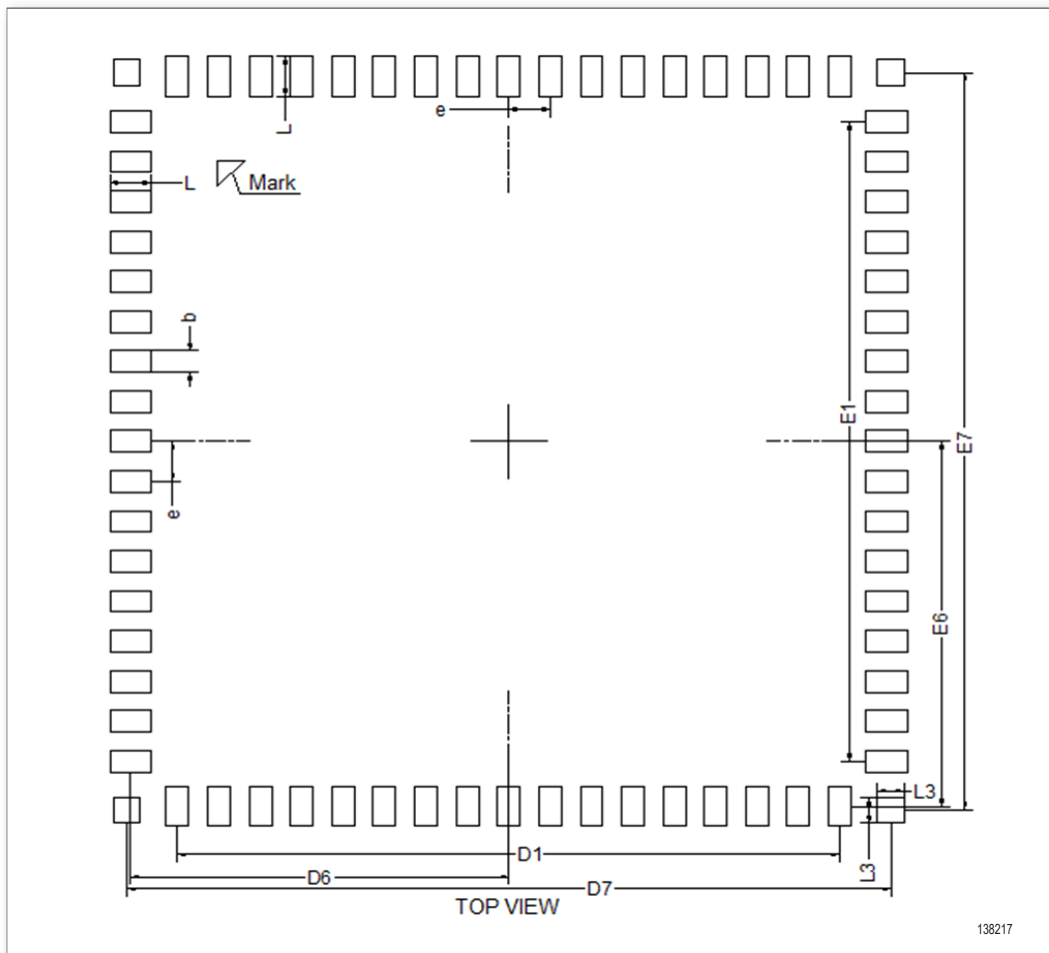


图 20

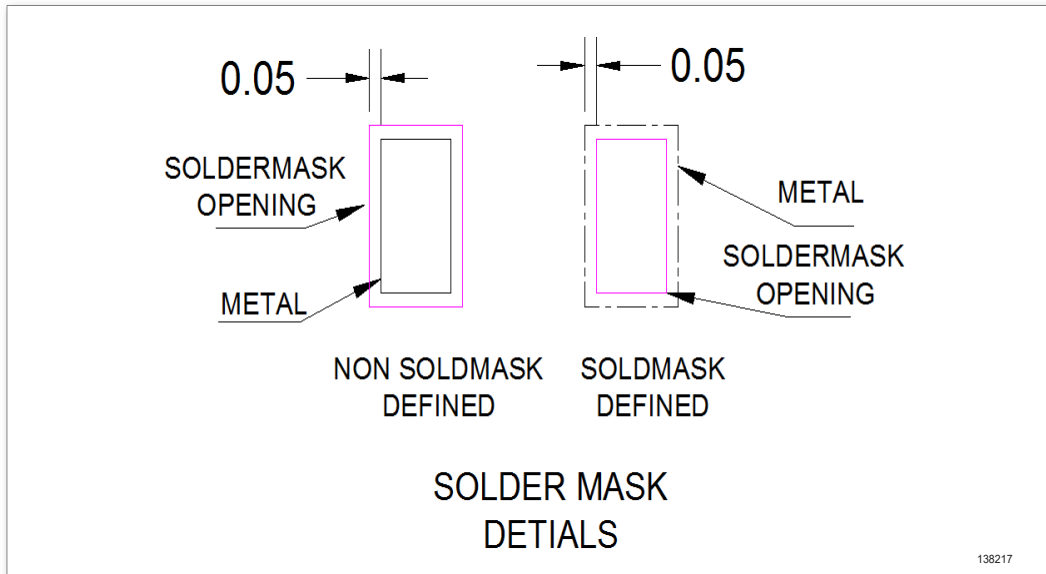


图 21

SYMBOL	TYPICAL(mm)	TOL(mm)	NOTES
D1	8.80	+/-0.075	
E1	8.80	+/-0.075	
D6	5.025	+/-0.075	
E6	5.025	+/-0.075	
D7	10.15	+/-0.075	
E7	10.15	+/-0.075	
e	0.55	+/-0.05	
b	0.30	+/-0.05	
L	0.55	+/-0.05	
L3	0.35	+/-0.05	

8.3 芯片丝印

芯片丝印如图22所示。

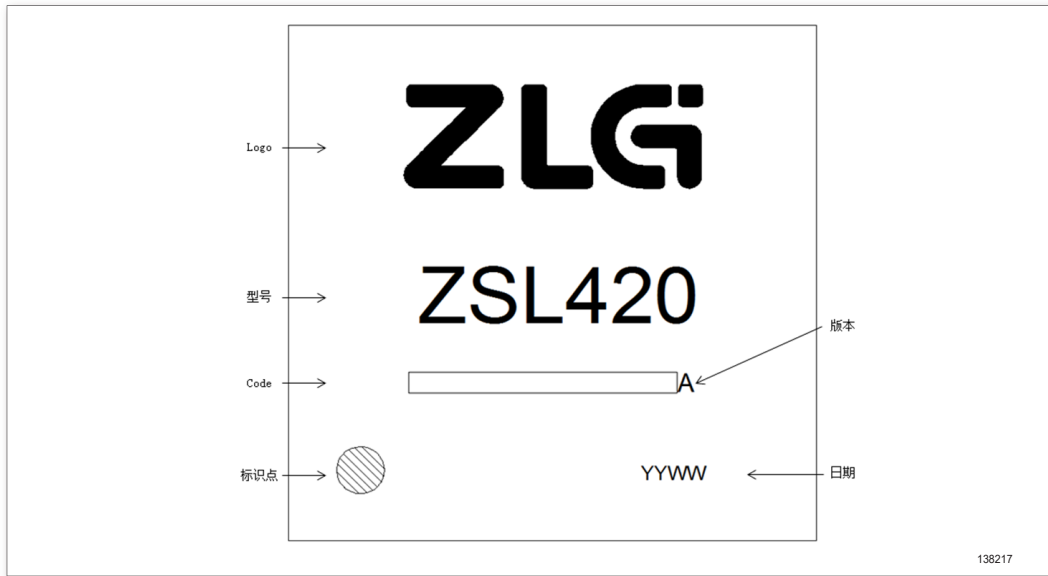


图 22. 芯片丝印

9 生产指导

9.1 表面贴装条件

推荐参考 J-STD-020/033 规范。Peak Temperature: <math><245^{\circ}\text{C}</math>

Reflow Time: ≤ 2

Reflow Profile 参考图23与表50

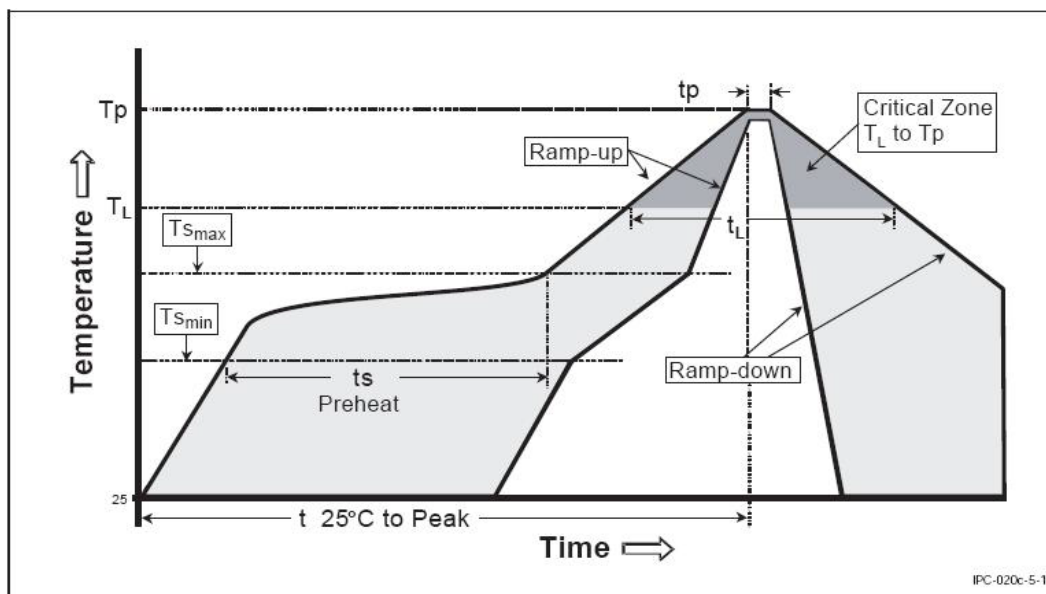


图 23. Reflow Profile

表 50: 参数说明

Profile Feature	曲线特征	Pb-Free Assembly
Solder Paste	锡膏	Sn96.5/Ag3/Cu0.5
Preheat Temperature min(T _{smin})	最小预热温度	150°C
Preheat Temperature max(T _{smax})	最大预热温度	200°C
Preheat Time(T _{smin} to T _{smax}) (t _s)	预热时间	60-120sec
Average ramp-up rate (T _{smax} to T _p)	平均上升速率	3°C/secondmax
Liquidous Temperature(T _L)	液相温度	217°C
Time(t _L)Maintained Above(T _L)	液相线以上的时间	30-90sec
Peak temperature(T _p)	峰值温度	230-245°C
Average ramp-down rate(T _p to T _{smax})	平均下降速率	6 °C/secondmax
Time 25 °C to peak temperature	25 °C 到峰值温度的时间	8 minutes max

9.2 存储与运输

9.2.1 注意事项

- 不允许存放如下条件
 - 腐蚀性气体，如 Cl₂, H₂S, NH₃, SO₂, 其它 NO_x
 - 盐性环境，极端的湿度环境
 - 长时间直接暴露在太阳光环境
 - 存储在超标的温湿度环境
- 防止跌落、震动、机械按压
- 避免高压、静电接触以免损坏器件

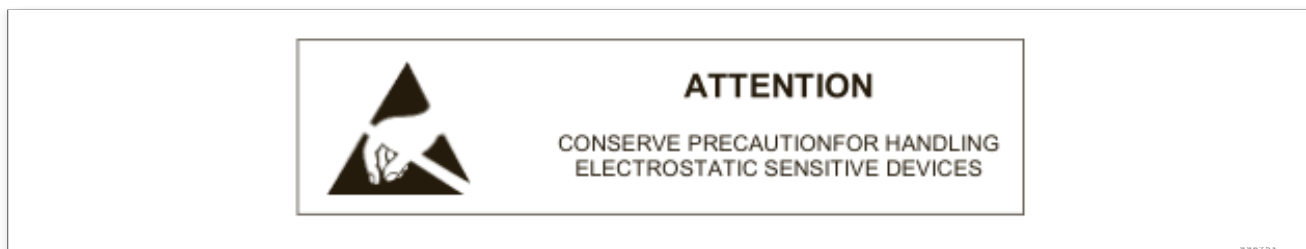


图 24. ATTENTION

9.3 湿敏等级

所有的塑封封装品都会吸收湿气，在 SMT 回流过程中，因器件所处的环境条件的快速变化，原被器件吸收的湿气会变为过热蒸汽，由此会使器件发生膨胀。如果压力超过了塑封料的挠曲强度，可能会引起器件开裂或内部分层。

该产品满足 MSL-5 等级，推荐在组装之前进行 125°C 烘烤 12 小时，烘烤完之后在 <30°C/60% RH 环境下，48 小时内完成 SMT 贴装。




图 25. CAUTION

9.4 包装信息

使用满足 JEDEC 标准的 TRAY 装放，采用静电袋包装，袋内放有干燥剂及湿度指示卡。

MSL 与存储条件如图26所示。

	Caution <i>This bag contains</i>	LEVEL 5
MOISTURE-SENSITIVE DEVICES		If blank, see adjacent bar code label
1. Calculated shelf life in sealed bag: 12 months at $<40^{\circ}\text{C}$ and $<90\%$ relative humidity(RH)		
2. Peak package body temperature: _____ $^{\circ}\text{C}$ if blank, see adjacent bar code label		
3. After bag is opened, devices that will be subjected to reflow solder or other high temperature process must be		
a) Mounted within: <u>48</u> hours of factory conditions $\leq 30^{\circ}\text{C}/60\%\text{RH}$, if blank, see adjacent bar code label		
or		
b) Stored per J-STD-033		
4. Devices require bake, before mounting, if:		
a) Humidity Indicator Card reads $>10\%$ for level 2a - 5a devices or $>60\%$ for level 2 devices when read at $23 \pm 5^{\circ}\text{C}$		
b) 3a or 3b are not met		
5. If baking is required, refer to IPC/JEDEC J-STD-033 for bake procedure		
6. Bake for 12hrs at 125°C before mounting		
Bag Seal Date: _____ if blank, see adjacent bar code label		
Note: Level and body temperature defined by IPC/JEDEC J-STD-020		

996751

图 26. MSL 与存储信息

10 免责声明

应用信息

本应用信息适用于 ZSL420/ZSL421 的开发设计。客户在开发产品前，必须根据其产品特性给予修改并验证。

修改文档的权利

本着为用户提供更好服务的原则，广州致远微电子有限公司（下称“致远微电子”）在本手册中将尽可能地为 用户呈现详实、准确的产品信息。但鉴于本手册的内容具有一定的时效性，致远微电子不能完全保证该文档在任 何时段的时效性与适用性。致远微电子有权在没有通知的情况下对本手册上的内容进行更新，恕不另行通知。为 了得到最新版本的信息，请尊敬的用户定时访问立功科技官方网站或者与致远微电子工作人员联系。感谢您的包 容与支持！

11 表格

2	中断入口向量	4
3	定时器功能比较	5
4	ZSL420/ZSL421 列产品功能和外设配置	12
5	选型表	13
6	引脚定义	15
7	复用功能选择位 PSEL	21
8	电压特性	25
9	电流特性	25
10	温度特性	26
11	ESD 特性	26
12	运行模式下的典型电流消耗, 数据处理代码从内部 flash 中运行	27
13	深度睡眠模式	28
14	通用工作条件	29
15	上电和掉电时的工作条件	30
16	内嵌复位和 LVD 模块特性	30
17	内置的参照电压 ⁽¹⁾	31
18	从低功耗模式唤醒的时间	32
19	高速外部用户时钟特性	32
20	低速外部用户时钟特性	33
21	XTH 振荡器特性 ⁽¹⁾⁽²⁾	33
22	XTL 振荡器特性 ($f_{XTH}=32.768\text{KHz}$) ⁽¹⁾	34
23	RCH 振荡器特性 ⁽¹⁾⁽²⁾	34
24	RCL 振荡器特性 ⁽¹⁾⁽²⁾	35
25	PLL 特性 ⁽¹⁾	36
26	闪存存储器特性	36
27	输出特性	36
28	输入特性	37
29	输入特性	38
30	端口漏电流特性	38
31	RESETB 引脚特性	38
32	ADC 特性	39
33	f_{ADC} 与 PCLK 的关系	41
34	f_{ADC} 与外部输入阻抗的关系	41
35	VC 特性	41
36	OPA 特性	42
37	LCD 控制器特性	43
38	DAC 特性	43
39	供电电流特性	45
40	常规参数特性	47
41	接收器参数特性	47

42	发射机参数特性	48
43	发射调制带宽与中频对应表	50
44	消耗电流与设定功率典型曲线	52
45	扩频因子与最小解调信噪比对应表	52
46	调制带宽与配置参数对应表	53
47	编码率取值范围	53
50	参数说明	61

12 图片

1	ZSL420/ZSL421 型号命名	13
2	ZSL420 引脚分布	14
3	ZSL421 引脚分布	15
4	ZSL420/ZSL21 功能框图	23
5	存储器映像图	24
6	上下电示意图	30
7	输出端口 VOH/VOL 与输出电流对应曲线	37
8	MCU 内部 ADC 典型应用电路	40
9	ZSL420 内部结构框图	44
10	ZSL421 内部结构框图	45
11	TCXO 设计参考	50
12	实际输出功率与编程功率典型曲线	51
13	消耗电流与设定功率典型曲线	51
14	双边带调制方式	53
15	LoRa 数据帧格式	54
16	ZSL420 典型应用电路图	55
17	ZSL421 外接有源晶体典型应用电路图	55
18	ZSL421 外接无源晶体典型应用电路图	56
19	芯片封装底视图	57
20		58
21		59
22	芯片丝印	60
23	Reflow Profile	61
24	ATTENTION	62
25	CAUTION	62
26	MSL 与存储信息	63

诚信共赢 持续学习 客户为先 专业专注 只做第一

